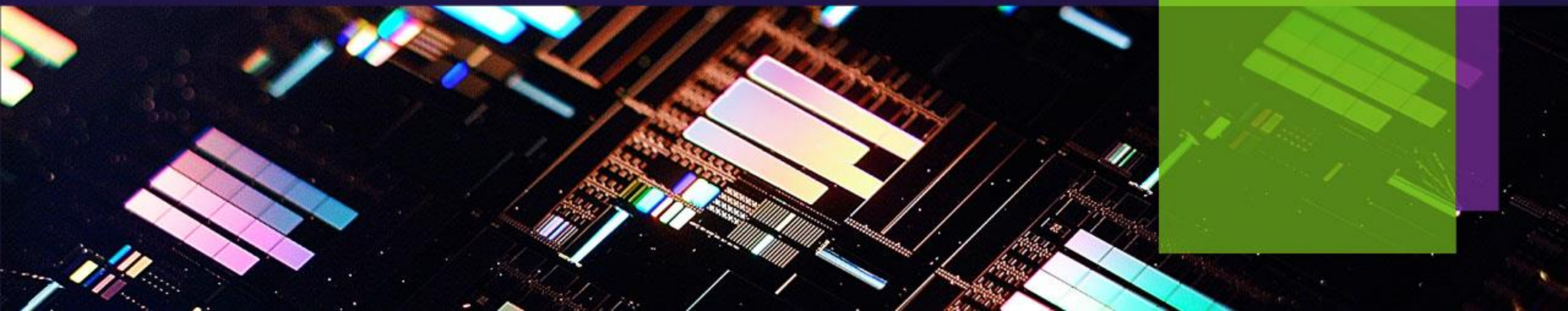


# 東京エレクトロン IR Day

2021年10月12日



# 将来予想等に関する記述

- 将来見通しについて

本資料に記述されている当社の事業計画、将来予測などは、当社が作成時点で入手可能な情報に基づいて判断したものであり、経済情勢、半導体/FPD市況、販売競争の激化、急速な技術革新への当社の対応力、安全・品質管理、知的財産権に関するリスク、新型コロナウイルスの影響など、さまざまな外部要因・内部要因の変化により、実際の業績、成果はこれら見通しと大きく異なる結果となる可能性があります。

- 数字の処理について

記載された金額は単位未満を切り捨て処理、比率は1円単位の金額で計算した結果を四捨五入処理しているため、内訳の計が合計と一致しない場合があります。

- 為替リスクについて

当社の主力製品である半導体製造装置およびFPD製造装置の輸出売上は、原則円建てでおこなわれます。一部にドル建ての決済もありますが、受注時に個別に先物為替予約を付し、為替変動リスクをヘッジしています。したがって、収益への為替レート変動による影響は極めて軽微です。

FPD：フラットパネルディスプレイ

# プログラム

1. ご挨拶 14:30 - 14:35
2. プレゼンテーション 14:35 - 16:45
  - 真のグローバルエクセレントカンパニーを目指して
  - 環境への取り組み強化に向けたサプライチェーンイニシアティブ
  - 技術動向とTELの事業機会

＜休憩10分＞

  - 最先端EUVレジストプロセス技術の課題とソリューション
  - エッチングにおける最新の技術課題と取り組み
  - 次世代の成膜技術におけるTELのアプローチ
3. 質疑応答 16:45 - 17:30

# 真のグローバルエクセレントカンパニーを目指して

2021年10月12日

河合 利樹  
代表取締役社長・CEO



新型コロナウイルス  
気候変動による自然災害の多発  
地政学・人権問題



人々の生活に大きな影響

# 新しい時代の形へ



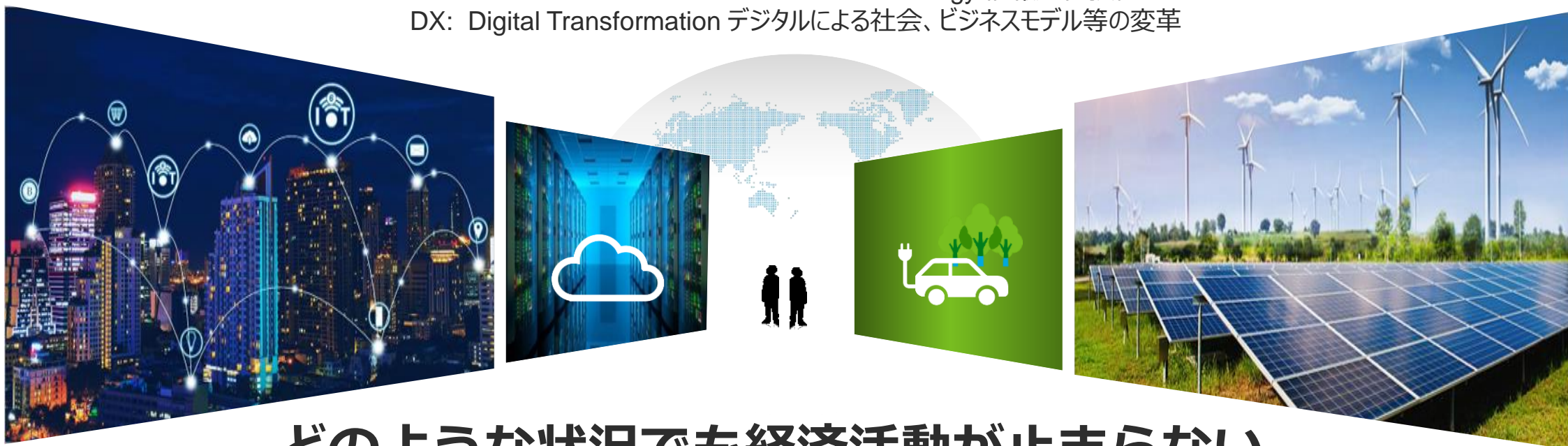
情報通信で不可欠な半導体の重要性が際立つ

# 未来への潮流

## デジタル（ICT/DX） × グリーン（脱炭素）

ICT: Information and Communication Technology 情報通信技術

DX: Digital Transformation デジタルによる社会、ビジネスモデル等の変革



**どのような状況でも経済活動が止まらない  
強くしなやかな社会の構築に向け、世界は今、  
ICT、DXを強力に実装するとともに、脱炭素社会の実現を目指す**

# データ社会の市場構造



## 半導体は社会システムの根幹にある重要なインフラ



# 半導体市場展望

兆米ドル

1.2

1.0

0.8

0.6

0.4

0.2

0.0

1990

2000

2010

2020

2030



PC



スマートフォン



データセンター



消費者向けサービス



産業向けサービス

1兆ドル

4,404億ドル  
(2020年)

モノ(電子機器) → コト(サービス)

## 今後10年で倍以上に成長

出所: 1990~2020 (WSTS),  
2021~2030 (IBS, April 2021)

# WFE\*市場

億米ドル

1,000

800

600

400

200

0

1990

2000

2010

2020

2030

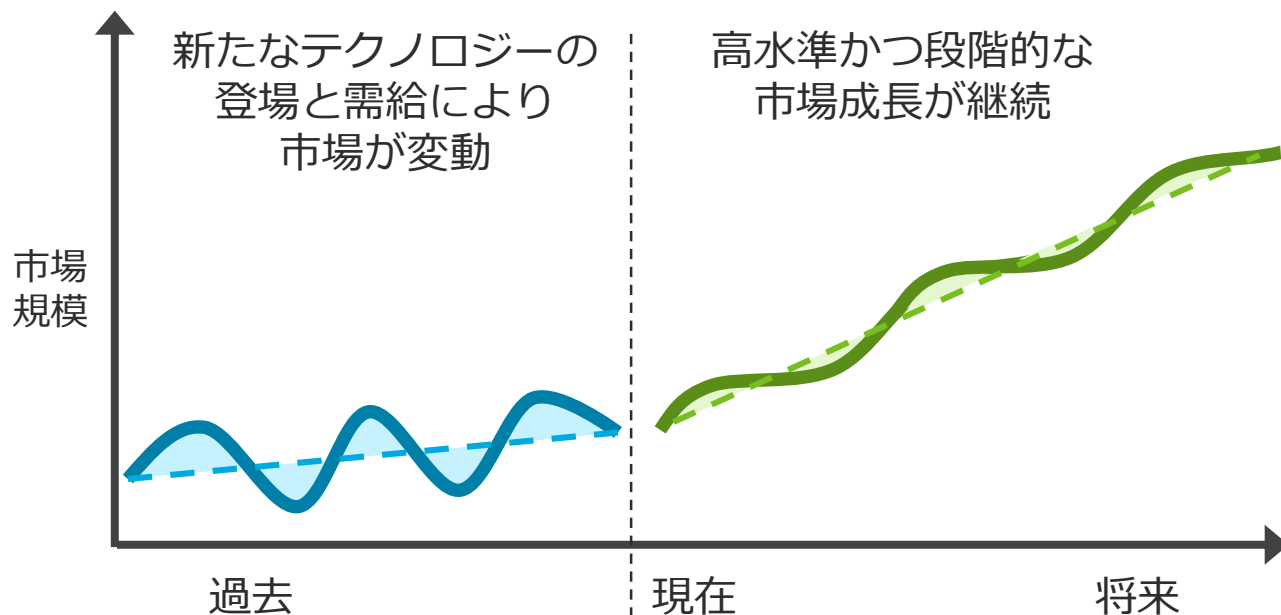
出所：VLSI Research (1990~2020)



## ICT・DX・脱炭素で求められる 技術革新が市場を牽引

# WFE市場のトレンド（イメージ）

モノ → モノ+コト



## 市場変化の背景

1. モノからモノ+コトへ
2. アプリケーションの多様化
3. 半導体の技術革新の継続
4. マーケットのビジビリティ向上

# WFE市場は新たな成長フェーズへ

**半導体・そして製造装置市場への期待**

**当社の果たすべき役割と責任は  
未来に向けて一段と高まる**

## 基本理念



**最先端の技術と確かなサービスで、  
夢のある社会の発展に貢献します**



## 基本理念の実践（共有価値の創造）

装置メーカーとしての専門性を生かして  
価値創出の源泉である社員をはじめとする

TELのあらゆる経営資源を活用し、

半導体の技術革新の追求を通じ

“デジタル化とグリーン化の両立”に貢献することで

**中長期的な利益の拡大と継続的な企業価値の向上**

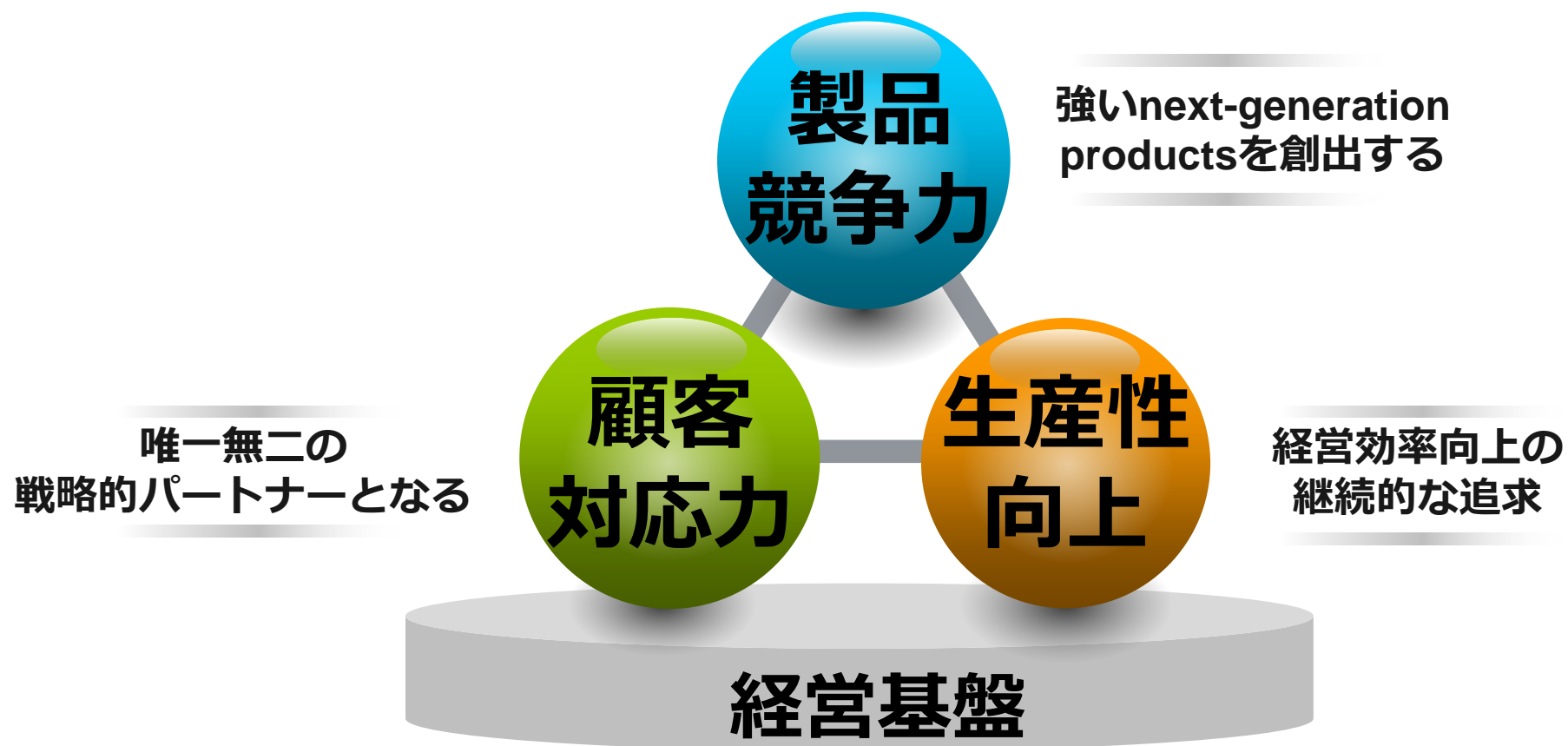
を実現し、会社を取り巻くすべての人々をHappyにする

# 統合報告書を2021年8月に発行



**中長期的な利益の拡大と  
継続的な企業価値の向上を実現するための  
当社の取り組みについてご報告**

# マテリアリティ（重要分野）





# 強みを生かす

**Only One**

4連続工程に装置をもつ



成膜 塗布/現像 エッチング 洗浄

**No.1**

シェア世界1、2位の製品群

## 主要製品と世界シェア

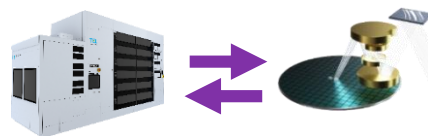
1位 2位 2位 1位 1位 1位 2位 1位



塗布/現像 洗浄 プラズマエッチング ガスキミカルエッチング 拡散炉 バッチ成膜 メタル成膜 プローバ

**100%**

EUV露光用  
塗布/現像装置シェア



塗布/現像 EUV露光

**No.1**

世界装置出荷台数

年間装置出荷台数

約**4,000**台

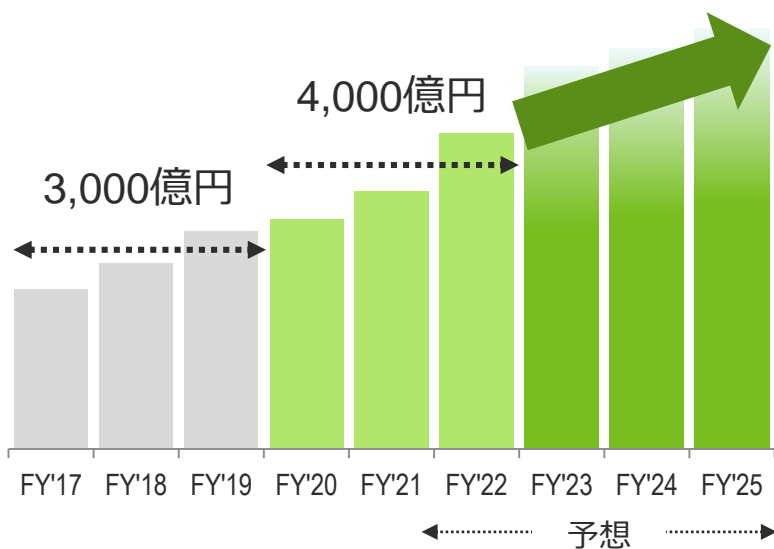
世界装置出荷台数 業界最大の

**78,000**台



# 積極的な研究開発投資

## 研究開発費の推移



- 半導体の技術革新を牽引する製品ラインアップの保有
  - お客さまとの複数世代における技術ロードマップ・アライメント
  - 技術サポートを通じた既存ラインと次期ライン双方に対する最適ソリューションの提案
- ヒット率の高い製品開発を実現する



当社だからできる世の中にない技術を創造し、  
デジタル×グリーンの両立に貢献

# 事業拡大に備えた体制の構築



**東北工場 新生産棟**  
2020年7月 稼動開始




**山梨工場 新生産棟**  
2020年8月 稼動開始



**宮城工場**  
2021年5月 用地取得

**急激に高まる半導体需要に対応して  
安定的な供給を支える**

# 強固なサプライチェーンの構築

 サプライチェーンマネジメント

STQA: Supplier Total Quality Assessment

CSR・BCPアセスメント

紛争鉱物や環境法規制などに関する調査

 宮城技術革新センター (2021年9月竣工)



パートナー企業とのコラボレーションにより  
業界の継続的な成長を支える



E



S



G



# バリューチェーンにおける サステナビリティの取り組み

# グローバル・イニシアティブ

## SDGs(持続可能な開発目標)

事業を通じた取り組みをマテリアリティごとに明確にし、グループ全体に展開



東京エレクトロンはSDGsを支援しています

## 国際的なイニシアティブへの参画

国連グローバル・コンパクトに署名、Responsible Business Alliance (RBA)に参画、Task Force on Climate-related Financial Disclosures (TCFD)に賛同



## 当社のESGに関する外部評価

世界各国の評価機関より高い評価を獲得

Member of  
**Dow Jones Sustainability Indices**  
Powered by the S&P Global CSA



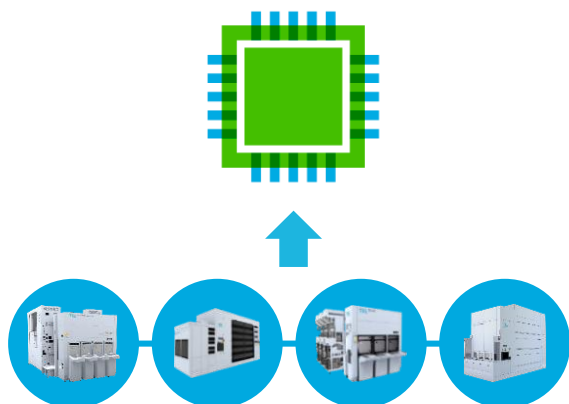
**2021** MSCI ESG Leaders Indexes Constituent

東京エレクトロン株式会社のMSCI指数への組み入れ、およびMSCIのロゴ、商標、サービスマークまたは指数名の使用は、MSCIまたはその関係者による東京エレクトロン株式会社の提携、推薦またはプロモーションではありません。MSCI指数はMSCIの独自の財産です。MSCI指数の名前およびロゴはMSCIまたはその関係者の商標またはサービスマークです。

# 地球環境へのアプローチ

## 半導体の技術革新

高性能化と低消費電力化に貢献



## 製品と事業活動

2030年に向けた中期環境目標  
CO<sub>2</sub>排出量削減

製品



**30%**削減

ウェーハ1枚当たり  
(2018年比)

事業所



**70%**削減

総排出量 (2018年比)

再生可能エネルギー  
使用比率 100%

## サプライチェーン

サプライチェーン全体で  
デジタル×グリーンを両立

# E-COMPASS

Environmental Co-Creation by Material, Process and  
Subcomponent Solutions

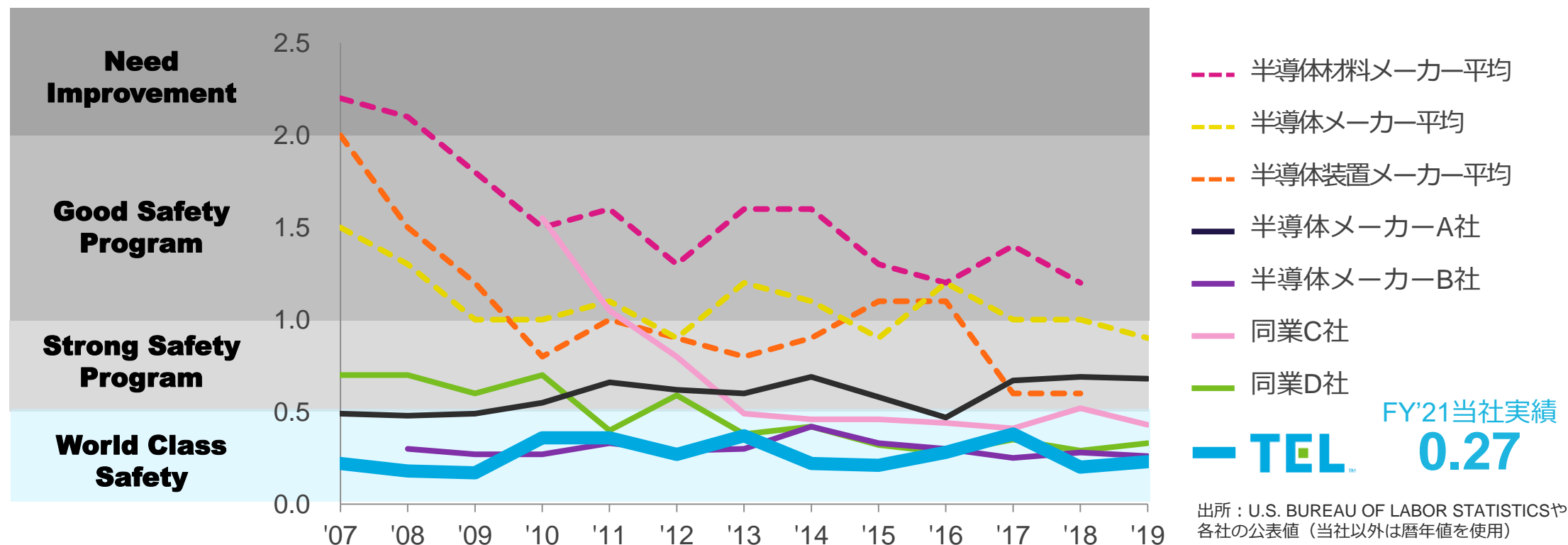
Best Products・Best Technical Serviceの提供

環境性能 

# 脱炭素社会の実現に向けて、当社事業および サプライチェーン全体で取り組みを強化

# 安全 : World Class Safety

TCIR (労働時間20万時間当たりの人身事故発生率) TCIR: total case incident rate



## 目指すのはゼロ・インシデント



# 企業の成長は **人** 社員は価値創出の源泉

行動規範としての  
TEL Values



やる気重視経営



ダイバーシティ  
& インクルージョン



3G

Global・Generation・Gender

# 行動規範としてのTEL Values

## Pride

誇り

私たちは、  
自らが誇りをもてる  
高い価値をもった製品・  
サービスを提供します。

最先端の技術製品を最高  
の品質・技術サービスと  
ともに提供し、お客さま  
の真の満足を追求します。  
利益は製品・サービスの  
価値の大きさを示す尺度  
であると考え、それを大  
切にします。

## Challenge

チャレンジ

私たちは、  
世界No.1を目指し、  
新しいこと、人のやらな  
いことにチャレンジ  
します。

変化をチャンスと捉え、  
柔軟かつ積極的に行動し  
ます。  
失敗に対して寛容である  
とともに、そのプロセス  
と結果から学ぶことを重  
視します。

## Ownership

オーナーシップ

私たちは、  
オーナーシップをもって、  
考え抜き、やり抜き、  
やり遂げます。

常に問題意識をもち、  
課題には情熱と責任感を  
もって取り組みます。  
意思決定を早くし、良い  
と考えることはすばやく  
実行します。

## Teamwork

チームワーク

私たちは、  
お互いを認め合い、  
チームワークを大切に  
します。

オープンに意見を交わし、  
風通しの良い職場をつく  
ります。  
ビジネスパートナーとお  
互いに信頼し、成長でき  
る関係を築きます。

## Awareness

自覚

私たちは、  
社会の一員としての自覚  
をもち、責任のある行動  
をします。

法令と社会のルールを  
遵守します。  
安全と健康および地球環  
境への配慮を最優先に考  
えます。  
地域社会から高く評価さ  
れる会社であるよう心が  
けます。



# 人権について



事業展開

18の国と地域・76拠点

社員

約15,000人

お取引先

約1,000社

サプライチェーン全体で  
高い倫理観に基づく人権尊重の考え方を大切にし、  
夢のある社会の発展に貢献

# 企業価値のさらなる向上に向けて

攻め

ワールドクラスの  
営業利益率とROE  
30%以上達成

&

攻め

- 安全
- 品質
- 法令遵守
- エンゲージメント
- リスクマネジメント  
& セキュリティ



経営のサステナビリティに必要不可欠

**半導体・FPD = 未来  
世の中にない技術を創造  
挑戦と進化を続ける**



# 真のグローバルエクセレント カンパニーを目指して

## E-COMPASS

# 環境への取り組み強化に向けた サプライチェーンイニシアティブ

2021年10月12日

瀬川 澄江

Corporate Innovation本部 本部長代理



# 環境にフォーカスしたサプライチェーンイニシアティブ

## E-COMPASS

Environmental Co-Creation by Material, Process and Subcomponent Solutions



### 無限大

資源やエネルギーの持続可能な利用、  
および永続的なステークホルダーとの関係性



### 色の変遷

企業活動を通じたパートナー企業との共創により  
環境負荷低減に向けた変革が進む様子

デジタルとグリーンが両立する社会の実現のための重要な取り組み



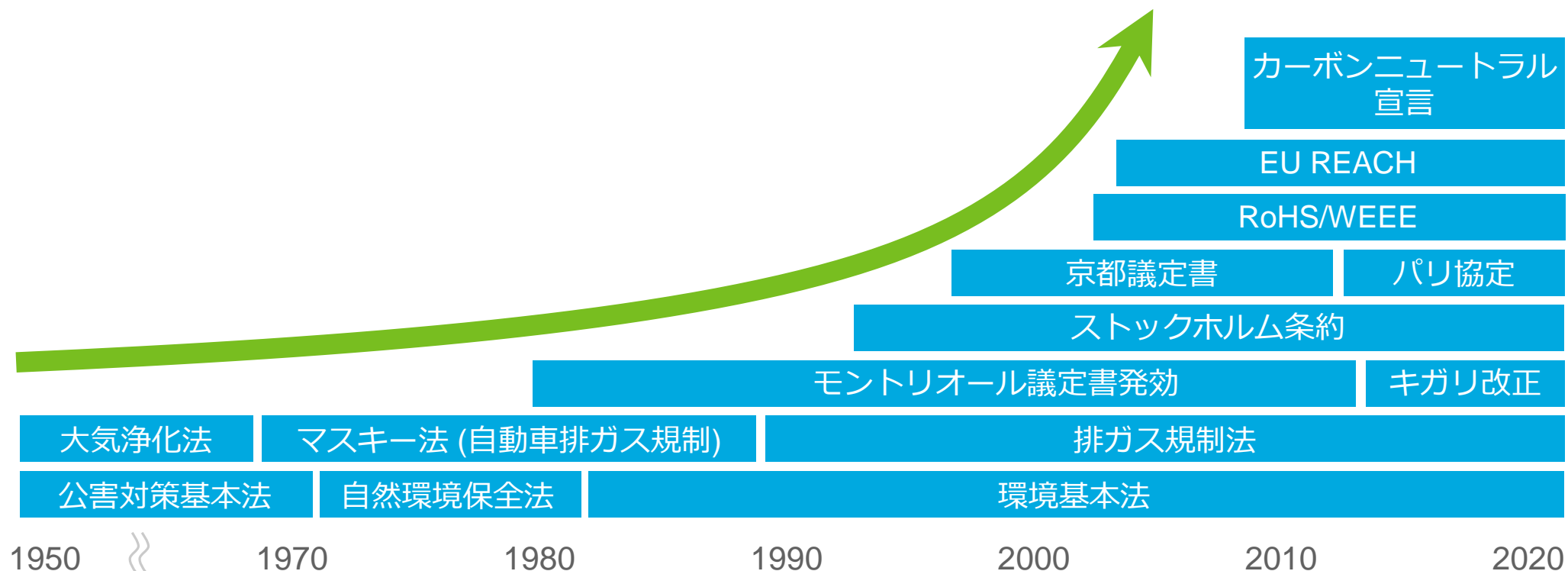
## 設立背景①：気候変動が起因のさまざまな異変



世界各地で多発する未曾有の災害と社会的な環境意識の高まり

## 設立背景②：環境国際条約および環境法規制動向

### 年々増加する環境法規制への対応



事業活動の持続性確保のためプロアクティブな対応が必要

# 設立背景③：業界のリーディングカンパニーとしての責務

**Digital** (ICT / DX) × **Green** (decarbonized)



TELはサステナブルな社会へと業界全体を力強く牽引します

# E-COMPASSのMission / Vision / Value

<p>Mission 役割</p>	<p>マイクロエレクトロニクス産業界としてのグリーンパフォーマンスの向上をサプライチェーン全体で協働・推進し、<b>地球の環境負荷低減を目指す</b></p>
<p>Vision ありたい姿</p>	<p>サプライチェーン全体で<b>最先端の環境対応技術に取り組み</b>、人と自然の共生する持続可能で豊かな未来を共創する</p>
<p>Value 価値・判断基準</p>	<p>グリーンパフォーマンスの高いマイクロエレクトロニクス<b>製造技術</b>、<b>装置技術</b>、<b>法規制対応</b>、<b>事業運営の環境負荷低減</b>を提供する</p>

デジタルとグリーンの両立に向けた社会への追求  
最先端の技術と確かなサービスで、夢のある社会の発展に貢献します

# E-COMPASSの活動

## 活動内容

パートナーシップ強化

環境有害物質フリー装置

プロアクティブな  
装置環境技術開発

## 効果

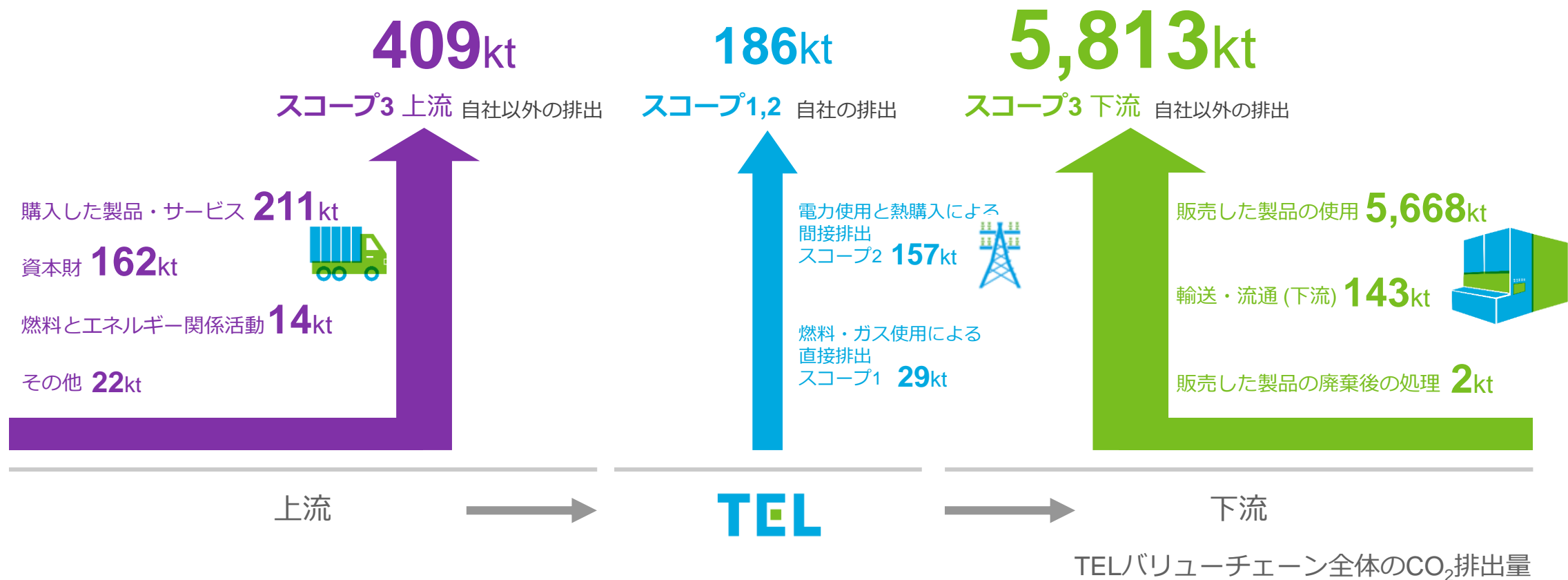
業界全体での  
サステナビリティの追求

環境配慮型製品の提供

環境技術による  
製造技術革新の加速

サプライチェーン全体での環境負荷低減と環境技術革新を推進

# 活動①：CO<sub>2</sub>排出量削減に関するパートナーシップの強化



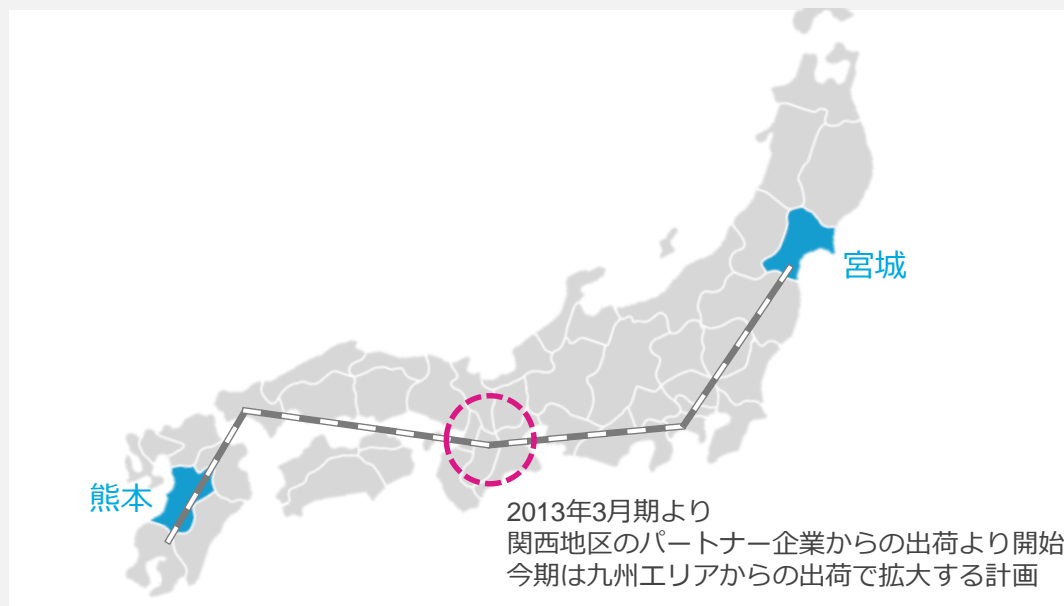
半導体産業界としてのグリーンパフォーマンスの向上を  
 サプライチェーン全体で協働・推進し、地球の環境負荷低減を実現する

# 事例：調達物流における環境負荷低減への取り組み

## トラックから鉄道輸送への切り替え

当社工場(宮城県、熊本県) ⇄ パートナー企業(関西圏)

➡ 162t-CO<sub>2</sub>の削減効果



## 梱包材使用量削減への取り組み

段ボール削減数：約1.4万個/年

➡ CO<sub>2</sub>排出量削減：10.6t-CO<sub>2</sub>/年

### ①エアキャップ使用量削減

エアキャップ



プラスチックトレイ



シーラ梱包



### ②段ボール使用量削減

使い捨て  
段ボール箱



折り畳みコンテナ



専用プラスチック  
段ボール箱



専用網コンテナ



輸送切り替え・梱包改革によりサプライチェーン全体でのCO<sub>2</sub>排出量削減

## 活動②：環境有害物質フリー装置

安心して長く使用いただける製品を提供することで、ステークホルダーとの信頼関係を築く



環境負荷を最少化した製品を提供するサプライチェーンの構築



# 事例：将来動向の把握と代替方法の確立

環境および人体への悪影響が懸念されている物質をプロアクティブに把握し、パートナー企業と代替化の方法を模索し、環境負荷低減を図る

## 将来的な 規制の把握

環境への影響が懸念されている物質の把握

- 先進的なEUおよびUSの政策/規制動向を参考に、プロアクティブに対応

## 代替化方法 の検討

パートナー企業との技術協力

- 環境有害物質フリー材料の評価・採用
- 技術的イノベーションによる代替化

## 排出物削減 への取り組み

サプライヤーとの共創

- 資源を最大限に活用し、有害物質の環境への排出を最小限にする方法を模索

環境有害物質フリー装置へ



将来動向の把握と技術革新により、環境負荷低減を推進

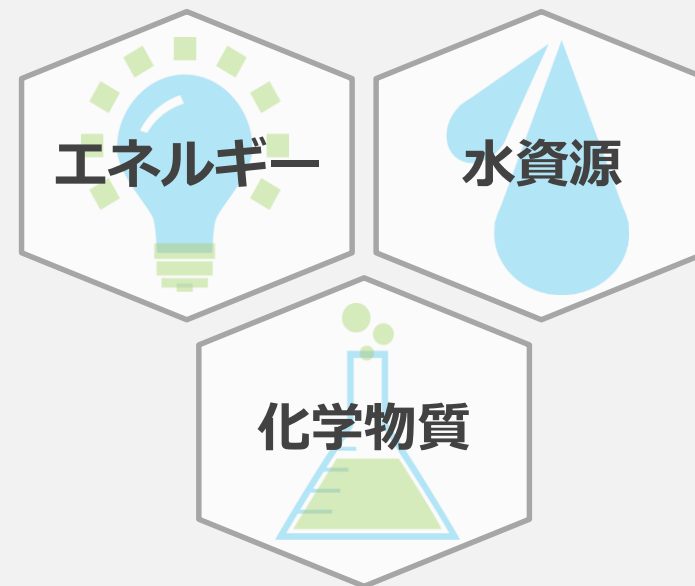
## 活動③：プロアクティブな装置環境技術開発

性能および安全仕様に加え、環境負荷を低減する環境性能を標準仕様とし、  
装置性能および付加価値向上を推進

環境仕様の標準化



多分野における技術革新の加速



装置環境技術をあらたな競争力として技術革新を加速

# 宮城技術革新センター

## 次世代の生産技術革新へ向けて 技術革新センターの稼動



- TEL製品の「性能・品質・リードタイム」を向上する革新的なものづくり技術の開発を牽引
- 「パートナー企業との共創」を促進する場所としてコラボレーションを促進
- 未来を見据えた「環境技術開発」を加速

パートナー企業との共創により製造装置としてのさらなる進化を加速

# さらなるパートナーシップを求めて

## 基本理念

“最先端の技術と確かなサービスで、夢のある社会の発展に貢献します”

サプライチェーン全体でデジタル×グリーンを両立

# E-COMPASS

Environmental Co-Creation by Material, Process and  
Subcomponent Solutions

Best Products ・ Best Technical Serviceの提供

環境性能



パートナー企業やシーズとなる技術を幅広く求めてグローバルに活動を加速

# 技術動向とTELの事業機会

2021年10月12日

関口 章久

Corporate Innovation本部

本部長補佐、アライアンス戦略室長

# 概要

- マーケット、半導体市場、データ処理・増加の構図
  - Warm up
  - Accelerating Data Creation through data launching platforms, communication & Analytical Intelligence (AI, Quantum)
- 今後のデバイス進化およびR&Dの傾向
  - System Integration
  - Device design, technology co-optimization and hybrid devices
- ロジック・メモリ・CISにおける技術の現状と方向性
  - Continuation of scaling but with higher technical hurdles
  - Alternative innovative solutions needed but evolution of current tool lineup can cover the needs
- まとめ

# マーケット、半導体市場、データ処理・増幅の構図

# 自動車の進化



CC BY-SA 4. Source:  
ModelTMitch [https://en.wikipedia.org/wiki/File:1925\\_Ford\\_Model\\_T\\_touring.jpg](https://en.wikipedia.org/wiki/File:1925_Ford_Model_T_touring.jpg)

Ford-Model Tの利点は半導体なしでも機能すること



# 自動車の技術プラットフォームとしての進化



## Semiconductors

- Logic: CPU, GPU, controller, AI
- Memory: NAND, DRAM
- Sensors: CIS, radar, vision, LIDAR
- Power: convertors, regulators, generators
- Communication: 5G
- Displays: projectors, panels

## Material

- Body: lighter composite, recyclable

## Communication and Decision Making

- Local vs. networked

自動運転車はすでに技術プラットフォームの中核

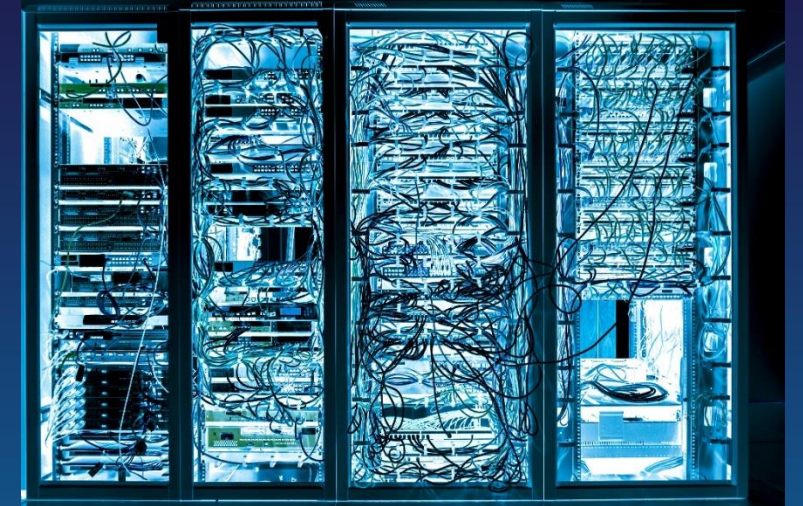
# Acceleration of 5G

5G



自動運転車の普及には5G（クラウド）とEdge（ローカル）データ処理が不可欠

# サーバーとアクセレーターの進化

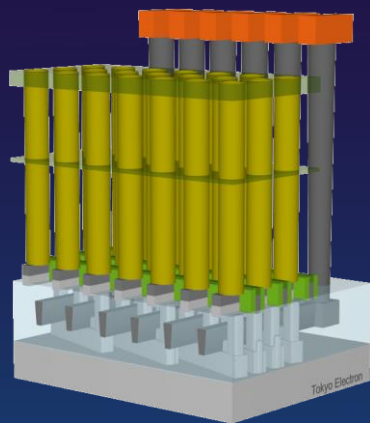


Source: Shutterstock

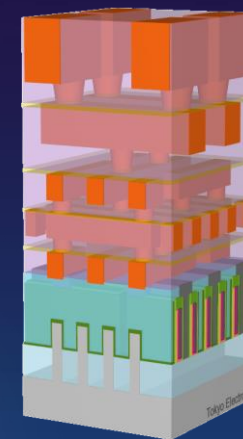
増え続ける情報の処理にはクラウドの進化も不可欠

# 車載半導体

Working  
memory



AI & Data  
processing



Storage  
memory

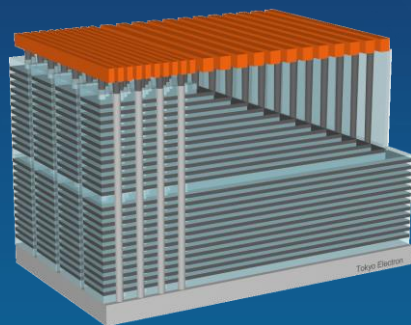
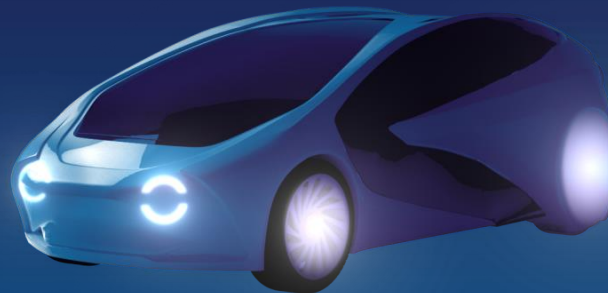
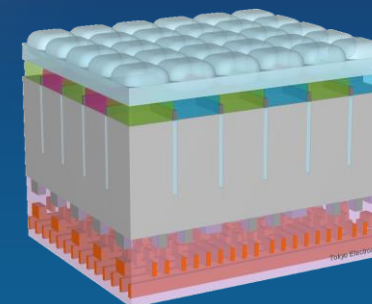


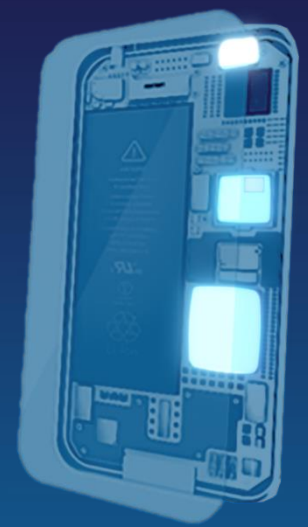
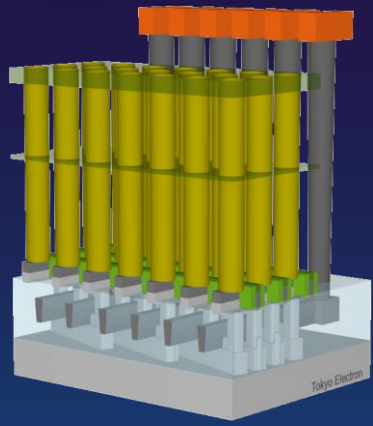
Image  
sensing



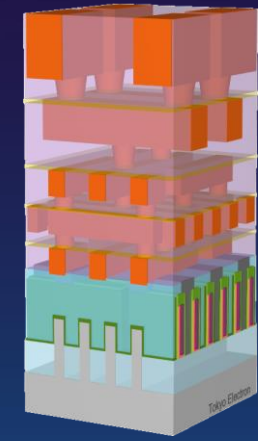
プラットフォーム（PF）のニーズはシステム進化を促す

# スマートフォンに搭載される先端半導体の数々

Working  
memory



AI & Data  
processing



Storage  
memory

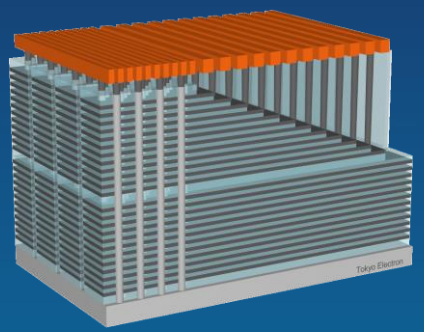
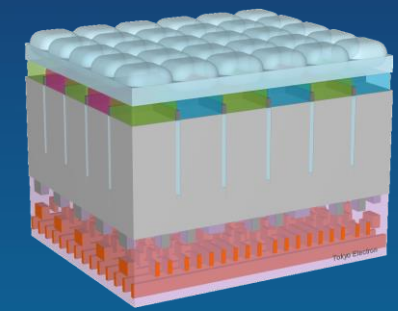


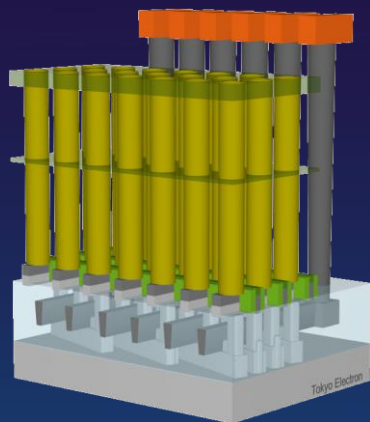
Image  
sensing



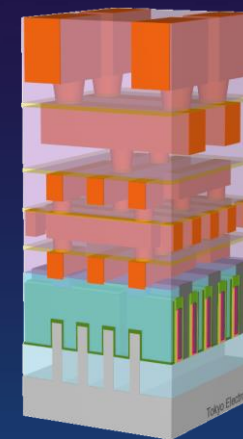
スマートフォンは依然としてポータブル&モバイルPFの代表格

# 人のインターネット

Working  
memory



AI & Data  
processing



Storage  
memory

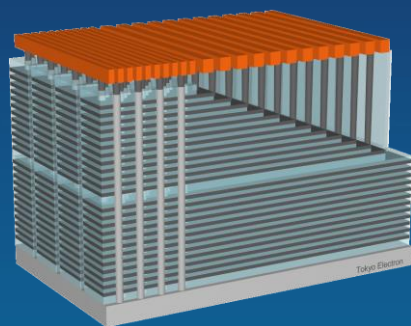
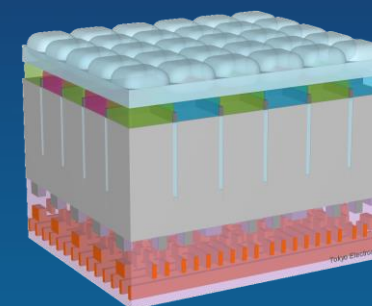


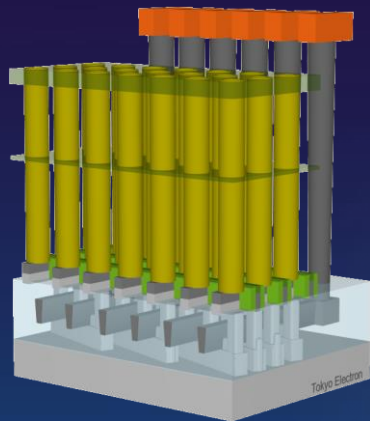
Image  
sensing



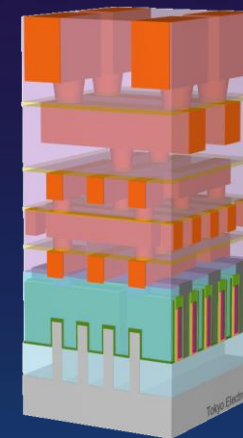
人もセンサー・CPU・通信システムを搭載した技術プラットフォーム

# 動物のインターネット？ ...Bio logging技術

Working  
memory



AI & Data  
processing



Storage  
memory

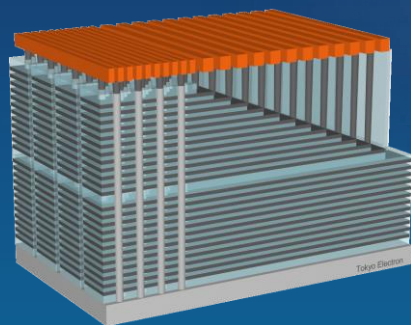
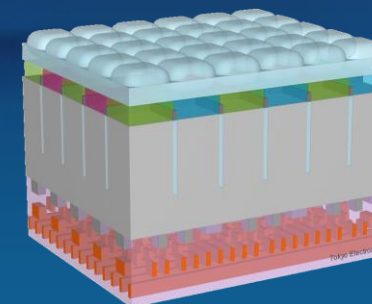


Image  
sensing

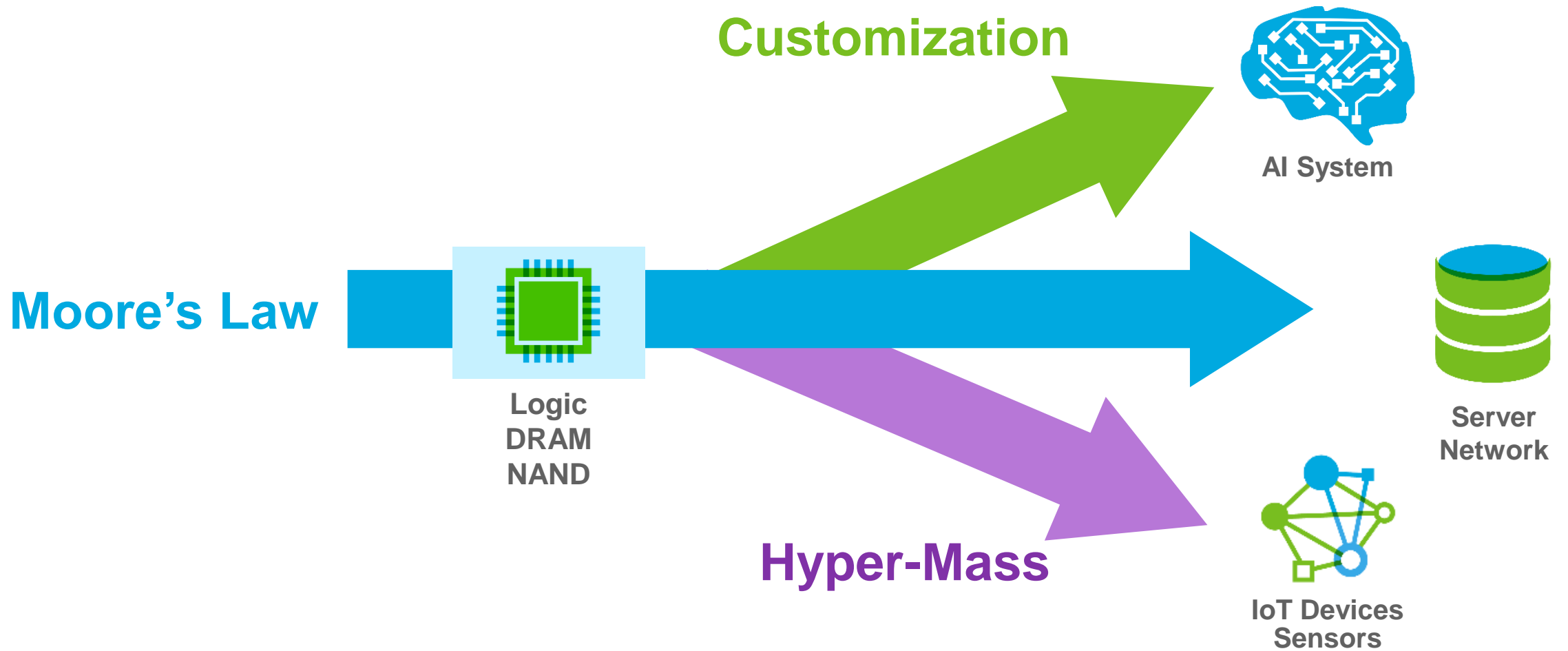


コロナ禍・ペットブームの副産物

# 今後のデバイス進化およびR&Dの傾向

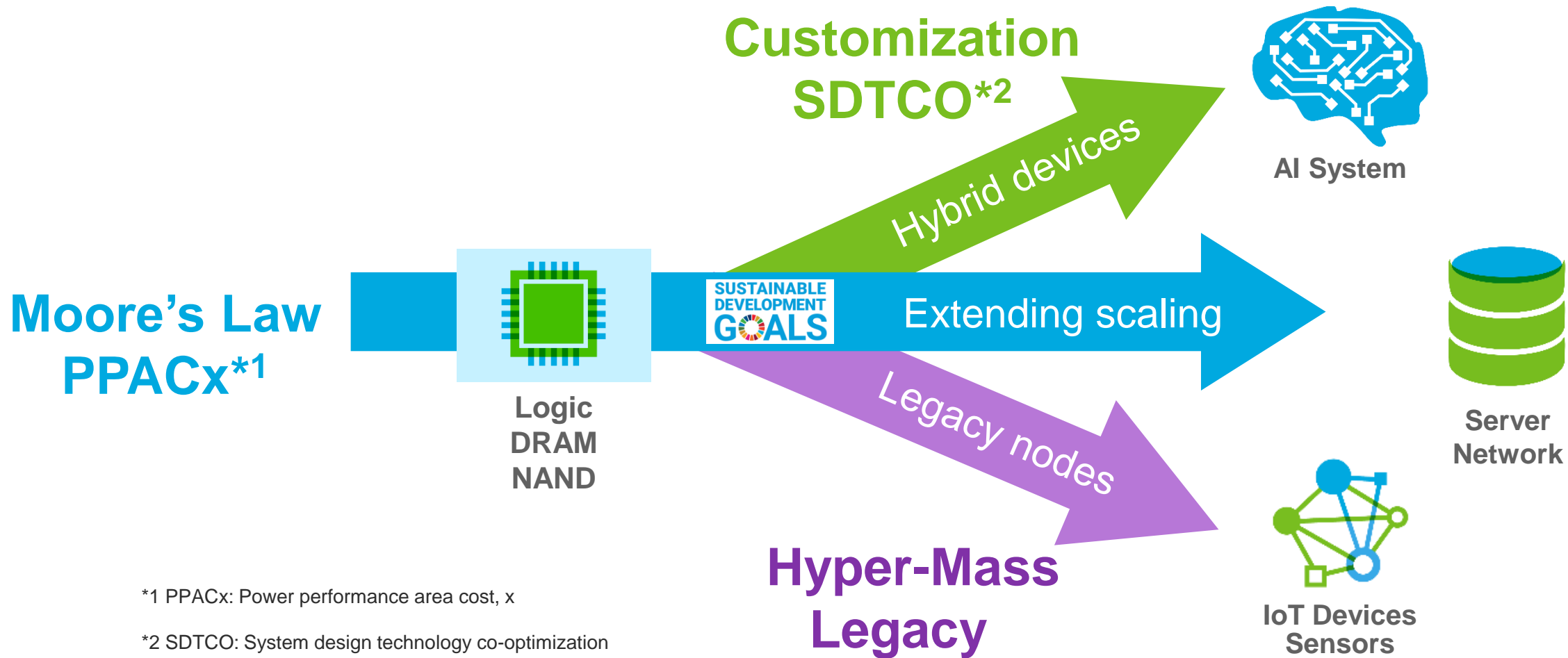


# 以前お見せした今後10年のトレンド



多様化するアプリケーションへの対応

# 今後10年のロードマップ



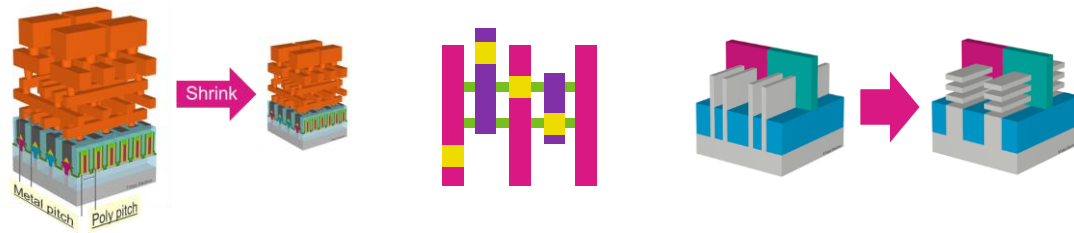
\*1 PPACx: Power performance area cost, x

\*2 SDTCO: System design technology co-optimization

多様化するアプリケーションに盛り込まれるSDGs対応技術の開発

# システムインテグレーションの進化

## Logic: More transistors

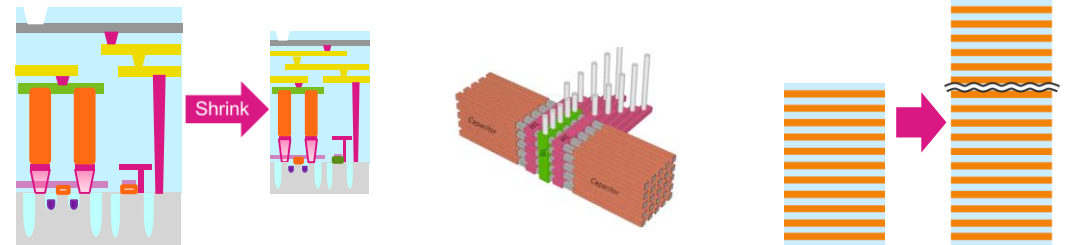


2D shrink

DTCO

New structure

## Memory: More bytes of DRAM, NAND

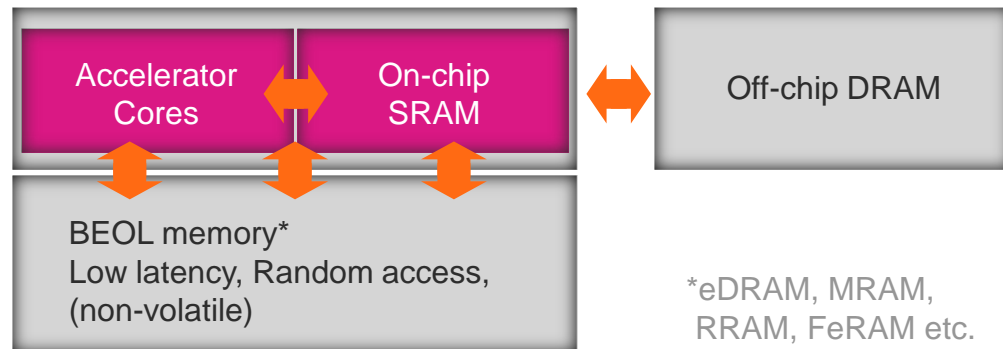


2D shrink

New structure

More stack

## BEOL: More layers including memory



\*eDRAM, MRAM, RRAM, FeRAM etc.

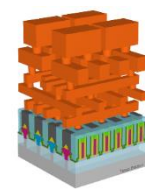
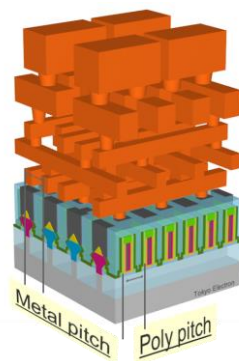
## System Integration: More options

Source: TEL想定

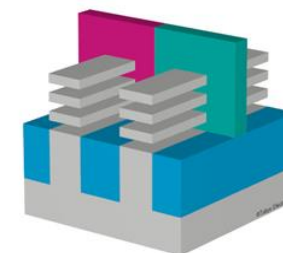
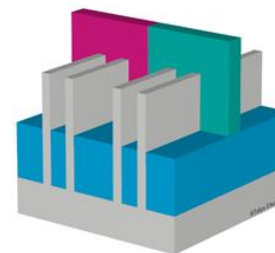
Device	CIS	3D NAND	DRAM		Logic			
Stacking	Sensor+ DRAM + Logic	Cell + Peri	HBM (w Bump)	HBM (Bump-less)	Cell + Peri	Backside PDN	Logic + SRAM Cell	3D Hybrid Logic + I/O + RF
Bonder Type	W-W Fusion (Permanent) Cu to Cu Hybrid	W-W Fusion (Permanent) Cu to Cu Hybrid	D-W Temporary (Bonding / De-bonding)	W-W Fusion (Permanent) Cu to Cu Hybrid	W-W Fusion (Permanent)	W-W Fusion (Permanent)	W-W/D-W Fusion (Permanent)	D-W Temporary & Fusion
Wafer THK	3μm	4μm	10μm	3μm	2μm	1μm	2μm~1μm	2μm
Structure								
Status	HVM	R&D-MP	HVM	R&D	R&D	R&D	R&D	R&D

# システムインテグレーションの進化：ロジック

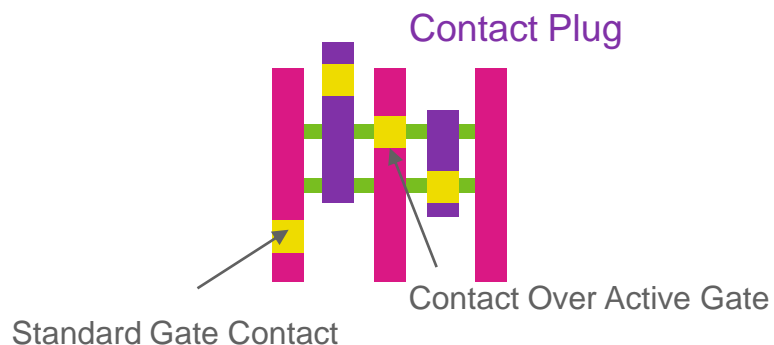
2D shrink



New structure



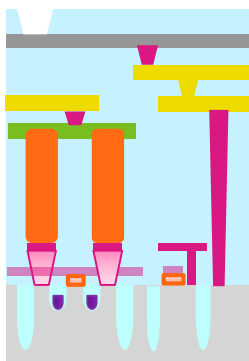
DTCO



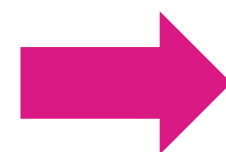
微細化、デザイン・技術の最適化、構造進化・3次元化

# システムインテグレーションの進化：メモリ

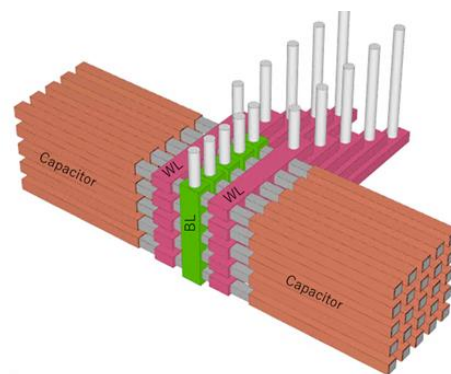
2D shrink



More stack

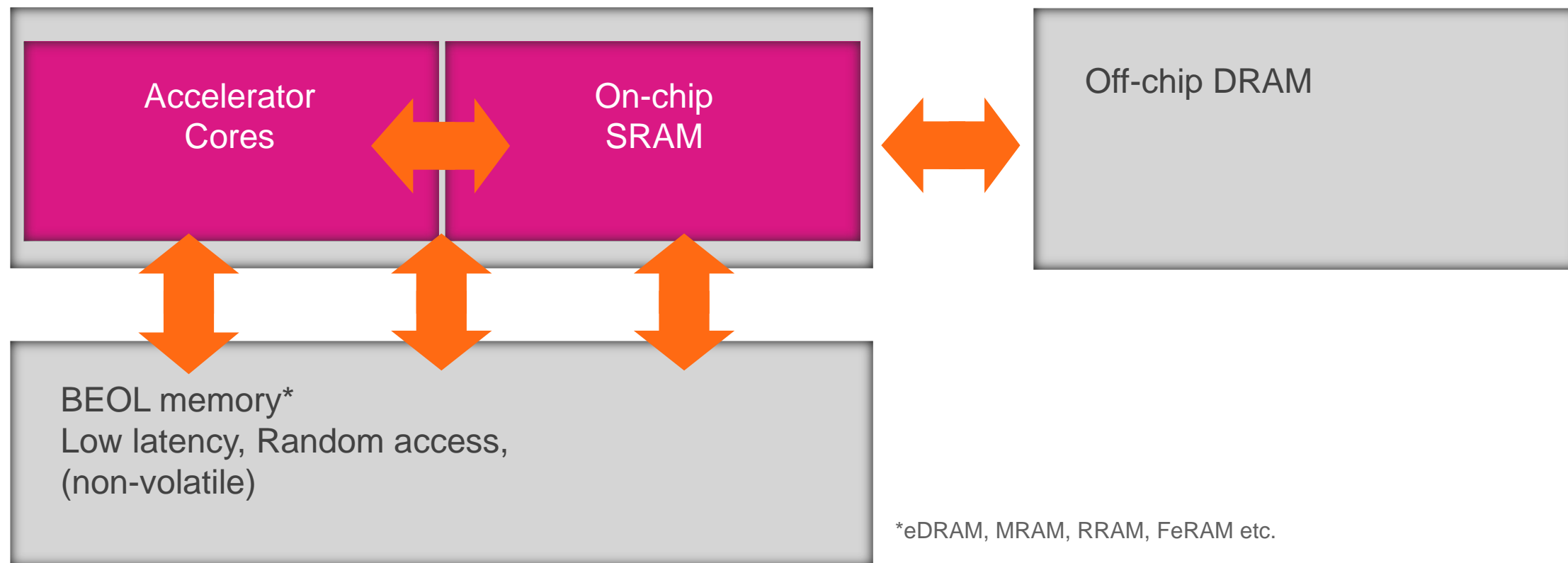


New structure



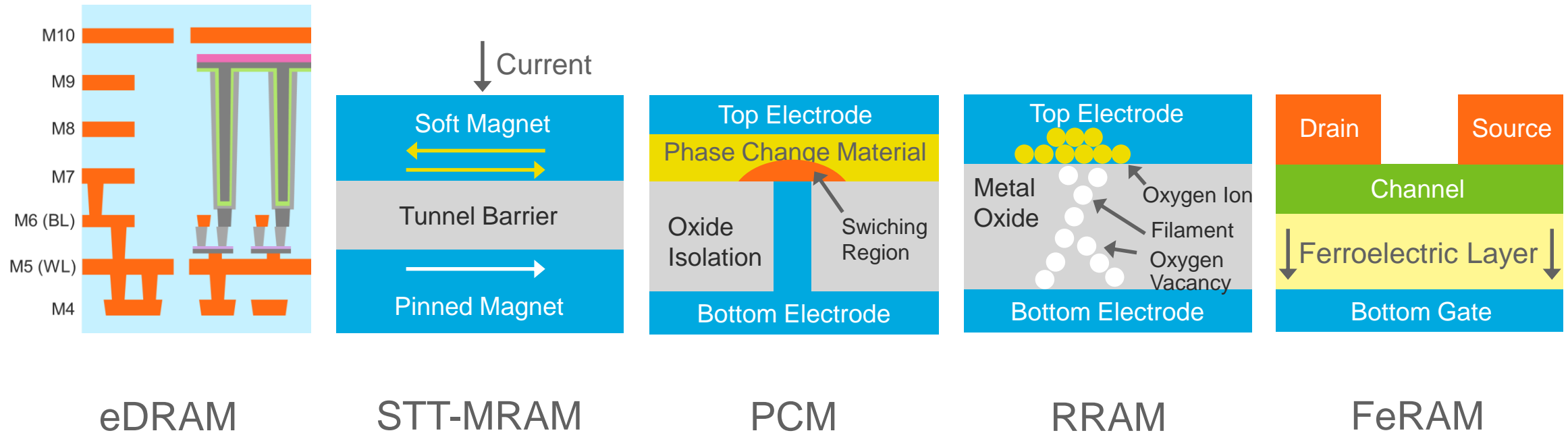
微細化、新構造メモリ、3次元積層へ

# システムインテグレーションの進化：BEOL



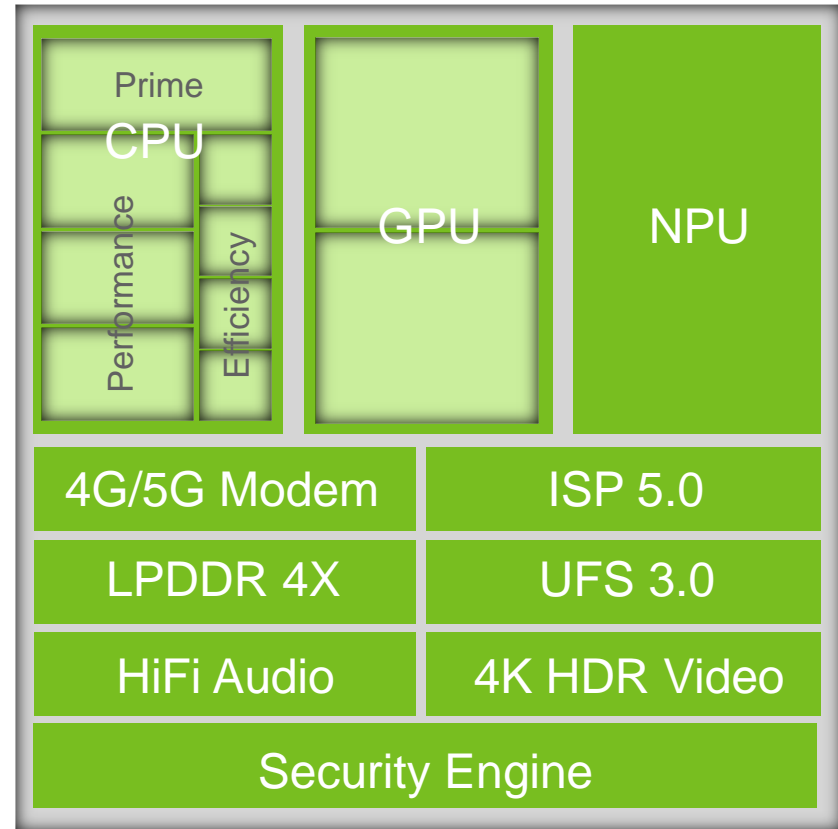
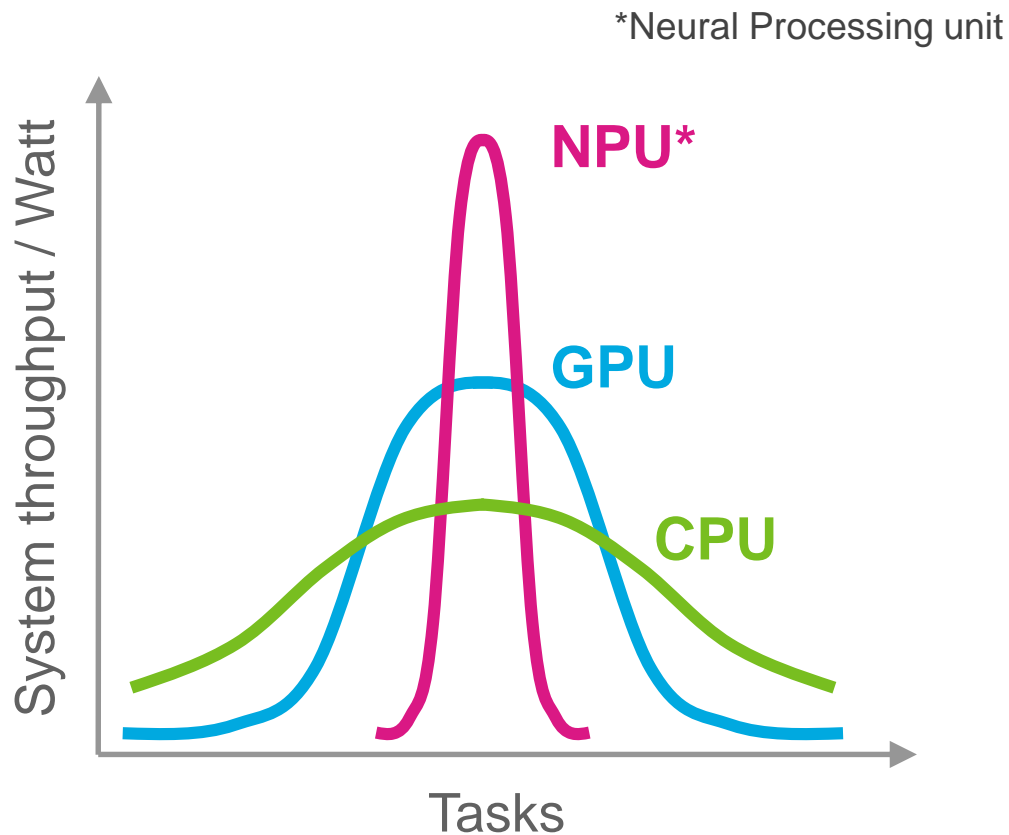
## メモリ素子組み込み配線層の多層化

# 半導体デバイス：BEOLメモリ開発の方向性



さまざまなメモリが開発され、用途によって使い分けられる

# デバイスの多機能化：Neural Processing Unit



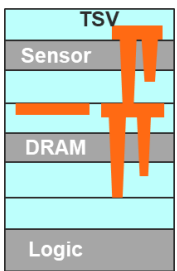
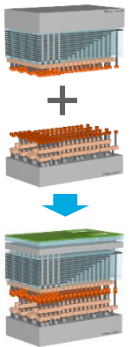
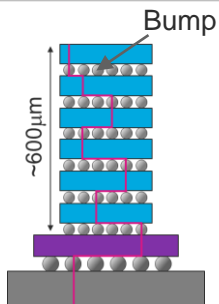
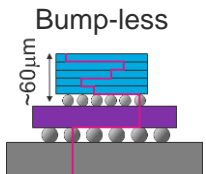
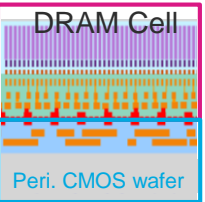
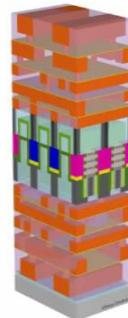
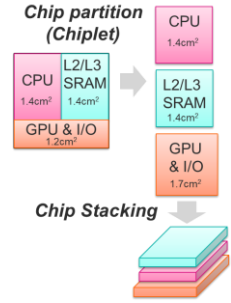
e.g., Leading edge mobile SoC

最適化された機能ブロックの拡張による性能向上、微細化・低電力化



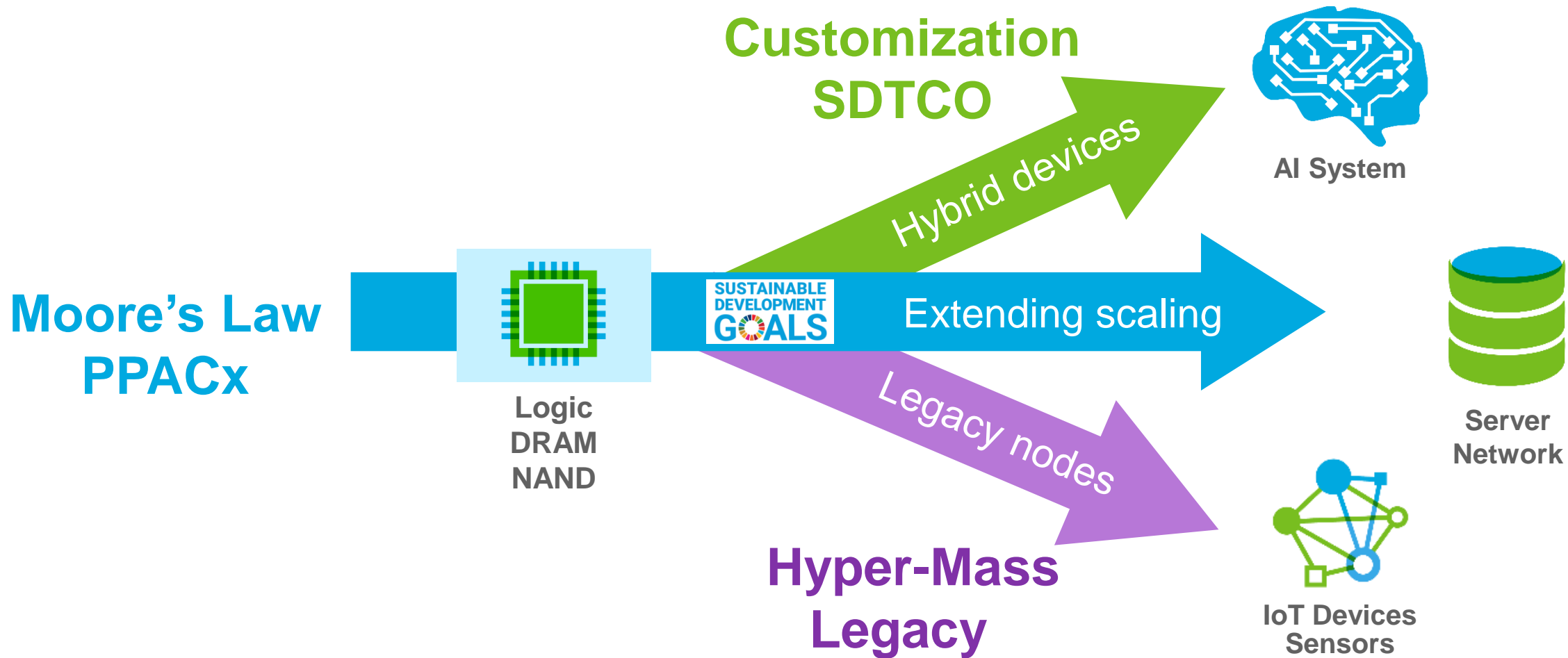
# システムインテグレーションの進化：増えるオプション

Source: TEL想定

Device	CIS	3D NAND	DRAM			Logic		
Stacking	Sensor+ DRAM + Logic	Cell + Peri	HBM (w/ Bump)	HBM (Bump-less)	Cell + Peri	Backside PDN	Logic + SRAM Cell	3D Hybrid Logic + I/O + RF
Bonder Type	W-W	W-W	D-W	W-W		W-W	W-W/D-W	D-W
	Fusion (Permanent)	Fusion (Permanent)	Temporary (Bonding / De-bonding)	Fusion (Permanent)		Fusion (Permanent)		Temporary & Fusion
	Cu to Cu Hybrid	Cu to Cu Hybrid		Cu to Cu Hybrid		Ox to Ox	Cu to Cu Hybrid	
Wafer THK	3 $\mu$ m	4 $\mu$ m	10 $\mu$ m	3 $\mu$ m	2 $\mu$ m	1 $\mu$ m	2 $\mu$ m~1 $\mu$ m	2 $\mu$ m
Structure	 <p>Source: H. Tsugawa, Sony (IEDM2017)</p>		 <p>Source: Sakui, TIT (CICC2019)</p>	 <p>Source: Sakui, TIT (CICC2019)</p>			 <p>Chip partition (Chiplet)</p> <p>Chip Stacking</p>	
Status	HVM	R&D~MP	HVM	R&D	R&D	R&D	R&D	R&D

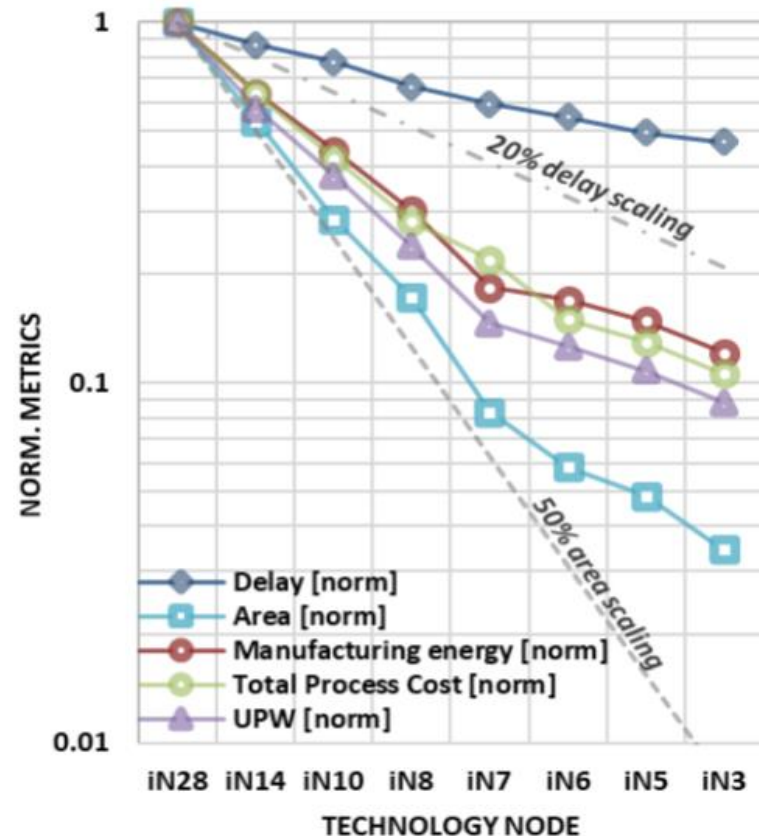
システムインテグレーション手法もPPACxで最適化される

# 今後10年のロードマップ



多様化するアプリケーションに盛り込まれるSDGs対応技術の開発

# 環境KPIと技術ノード進化の相関



Graph courtesy of imec

## Observations

- Performance is still improving node-over-node but at a reduced rate (delay)
- Area scaling is being achieved but slowing beyond iN7 (~ Foundry 5nm)
- Technology node still drives reduction in manufacturing energy per device
- Cost of manufacturing is still declining
- Water usage is still declining

## Conclusion

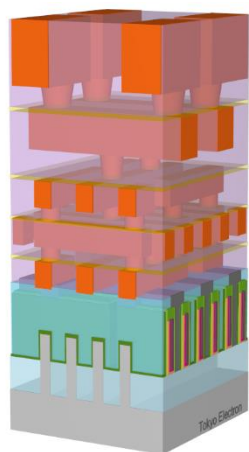
- Advancing technology nodes contributes towards SDGs
- But slowing pace of reduction implies that further innovation is needed
- Working on advanced node devices contributes to SDGs

先端技術開発はSDGsに直結

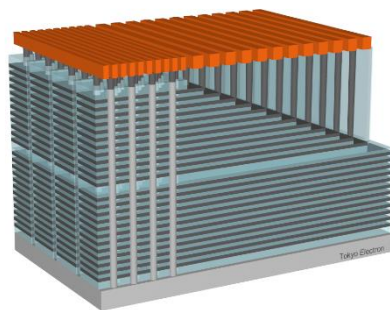
# 主要デバイスの開発傾向

# 半導体デバイス：開発の方向

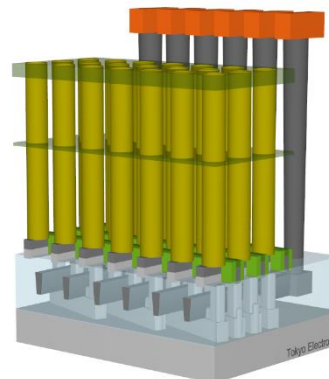
## Logic



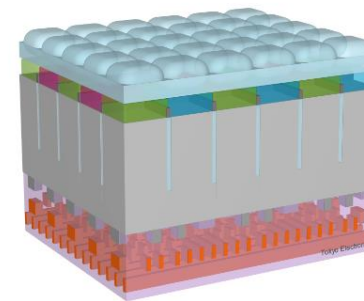
## NAND



## DRAM



## CIS



### 構造変化を伴う微細化による

- ・トランジスタ当たりのコスト低減
- ・低消費電力化
- ・高速化

### 高積層化による

- ・ビット当たりのコスト低減

### 微細化による

- ・ビット当たりのコスト低減
- ・低消費電力化
- ・高速化

### 新構造による

- ・ビット当たりのコスト低減

### 微細化による

- ・多画素化
- ・高速化






### 新構造、新材料による

- ・高画質化

# Logicトレンドとビジネス機会

# スマートフォン搭載CPUの進化

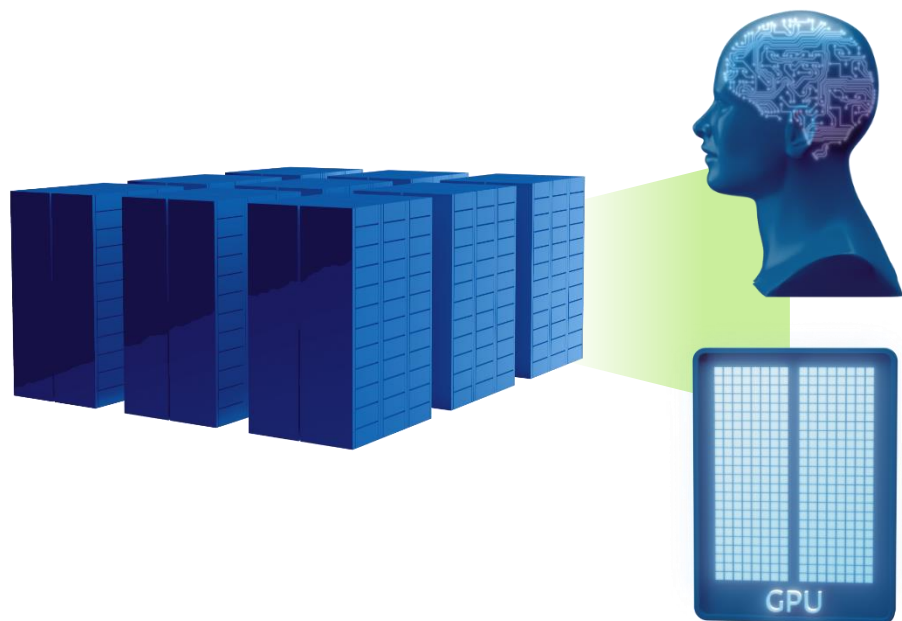


Product Year	2014		2020	
Tech. Node	20nm		5nm	
Transistor	Last Gen. Planar		4 <sup>th</sup> Gen. FinFET	
Adv. Litho	ArFi		EUV	
Die Size	89mm <sup>2</sup>		88mm <sup>2</sup>	
Transistor#	2B		11.8B	
CPU Cores#	2		6	
GPU Cores#	4		4	
NPU Cores#	N/A		16	
L2/L3 Cache	5MB		28MB	

Source: Wikipedia

トランジスタ構造・材料・リソグラフィの進化とともに集積度向上は  
トランジスタ数増加、機能拡張などで対応

# GPU (演算アクセレーター) の進化



Product Year	2016		2020
Tech. Node	16nm		7nm
Transistor	1 <sup>st</sup> Gen. FinFET+		3 <sup>rd</sup> Gen. FinFET
Adv. Litho	ArFi		ArFi
Die Size	610mm <sup>2</sup>		826mm <sup>2</sup>
Transistor#	15.3B	×3.5	54.2B
FP32 Cores#	3584		6912
FP64 Cores#	1792	New architecture Many cores New function	3456
INT32 Cores#	N/A		6912
L2/L3 Cache	5.440MB	×11.3	61.696MB

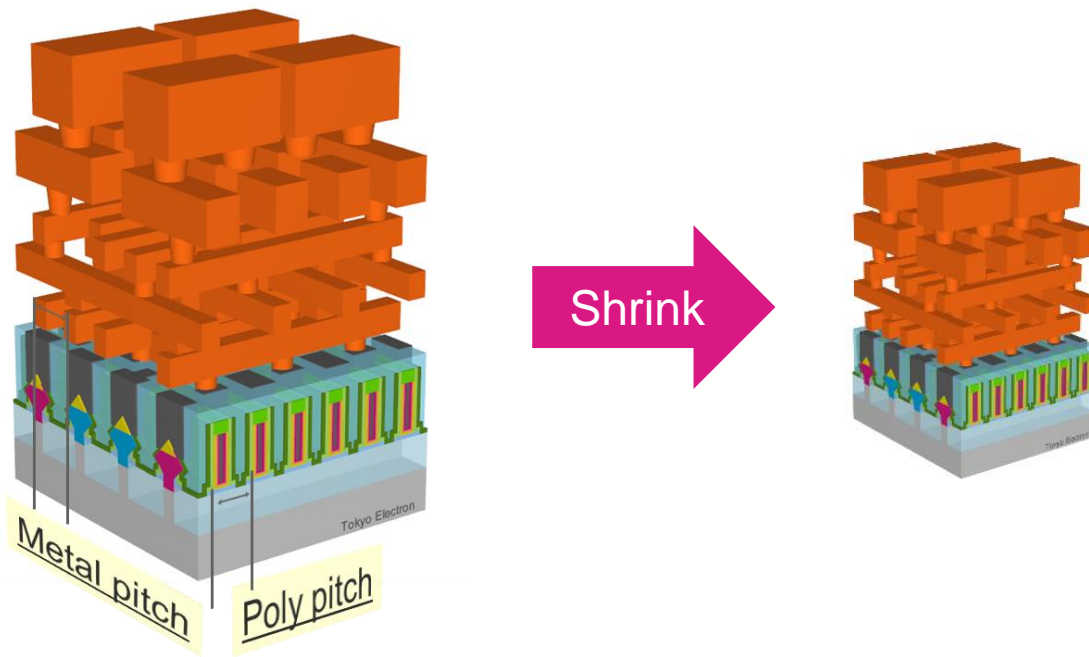
Source: Wikipedia

HPCにおいてもトランジスタ数増加、機能拡張傾向が見られ  
集積度の向上も求められる



# Logic集積密度の進化

## Pitch shrink



### Key enablers

- EUV patterning
- Small area gap filling
- High selective etch
- Pattern collapse free drying

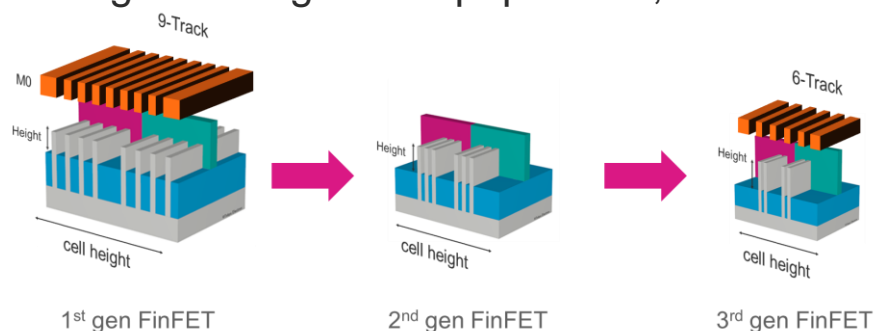
微細化にはさらなるリソグラフィ、エッチング、成膜、洗浄技術の進化が必須

# Logic集積密度の進化

## Design Technology Co-optimization: DTCO

① Cell height scaling: Fin depopulation, Metal track# reduction

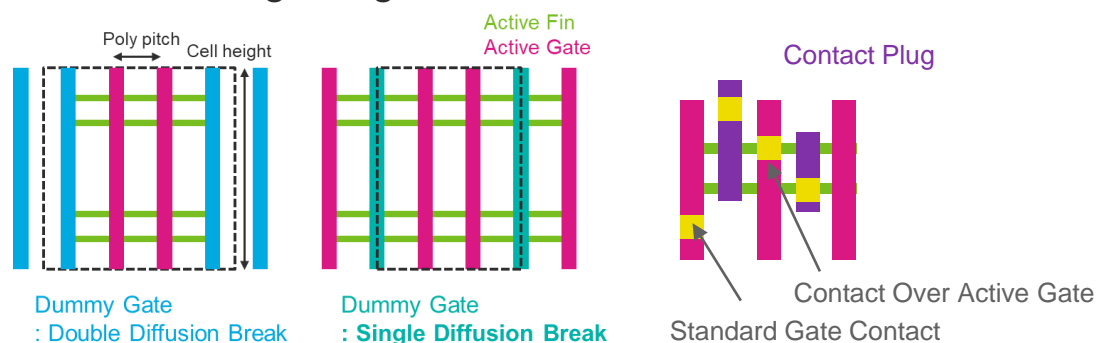
Key enablers



- Narrow, straight etch
- Loading free recess etch
- Fin capping to prevent oxidation
- Low resistance silicide, metal

② Cell width scaling: Single Diffusion Break, Contact Over Active Gate etc.

Key enablers

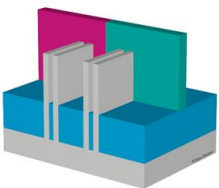
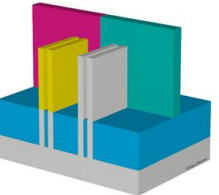
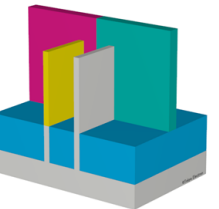
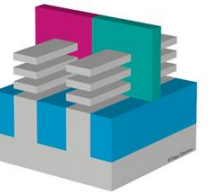
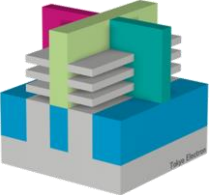
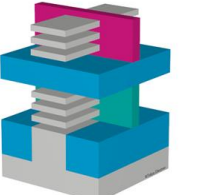
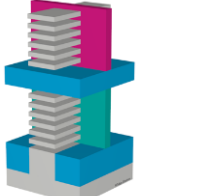


- Small hole, trench etch
- Low stress gap filling
- Multi-color films for etch
- High selective etch

DTCOに関してもさらなるプロセス技術の進化が求められる

# Logic技術ロードマップ

\*Assume new knob will be created in each node  
 \*\*Single Diffusion Break, \*\*\*Self Align Gate Contact

Year of HVM (20k/month)	2018	2020	2022	2024	2026	2028	2030
Node	N7	N5	N3	N2	N1.4	N1	N0.7
Device	3~2 Fin 	2 Fin 	2~1 Fin 	GAA NS 	Forksheets 	CFET 	2 <sup>nd</sup> Gen. CFET 
Poly pitch (PP)	56	48	45	42	39	36	33
Min. MP [nm]	40	28	22	20	18	16	12
Cell height (CH)	240 (2Fin)	210 (2Fin)	176 (2Fin)	120 (NS)	90 (NS)	64 (CFET)	48 (CFET)
Density (a.u.) PP x CH x DTACO*	1	1.73 (vs. N7)	1.53 (vs. N5)	1.81 (vs. N3)	1.65 (vs. N2)	1.75 (vs. N1.4)	1.67 (vs. N1.0)
Scaling booster	SDB**	EUV High $\mu$ channel	SAGC*** Dipole eWF	Backside PDN		Heterogeneous channel	2D material

Source: iedm 2020<sup>[1]</sup>, IRDS2020 with TEL's update <sup>[1]</sup>imec, S. B. Samavedam et al.

“Pitch scaling”、“DTACO”、“Scaling Booster”とともに、1.6~1.8x のLogic密度向上を目指す

# GAAナノシートデバイス (Gate All Around Nanosheet)

$$L_{g,\min} \geq \beta(T_{ch}T_{ox}\epsilon_{ch}/\epsilon_{ox})^{1/2}$$

$L_{g,\min}$ : Minimum gate length with good device electrostatics

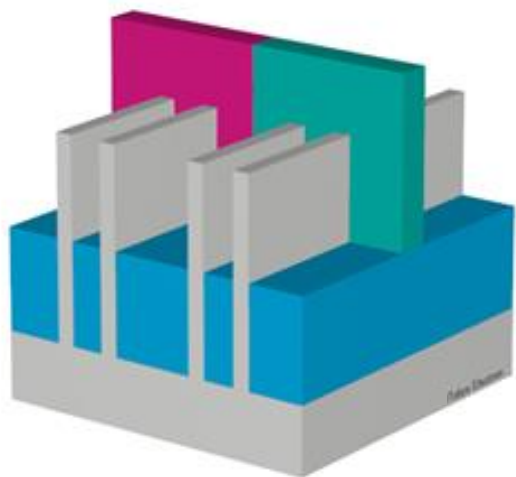
$\beta$ : Constant > 2.5

$T_{ch}$ : Channel thickness

$T_{ox}$ : Gate oxide thickness

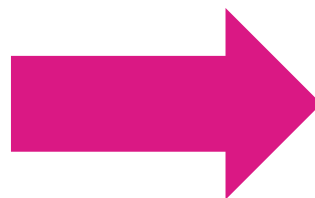
$\epsilon_{ch}$ : Dielectric constant of channel

$\epsilon_{ox}$ : Dielectric constant of gate oxide

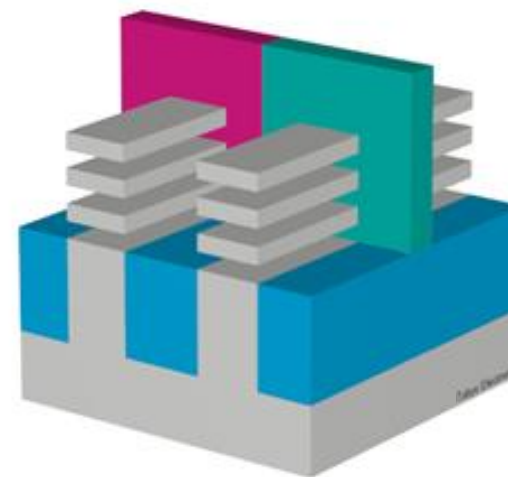


FinFET

Patterning defined Fin width:  $3\sigma$  1.1nm\*



Lay down



Nanosheet

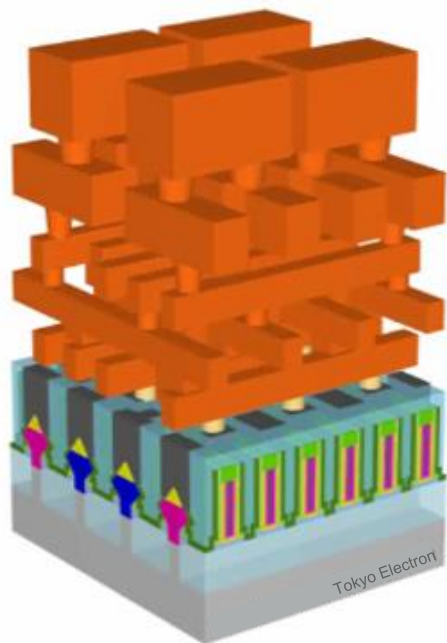
Si EPI thickness defined sheet thickness:  $3\sigma$  0.4nm\*

\*Source: SC Song (Qualcomm) et al. VLSI 2019

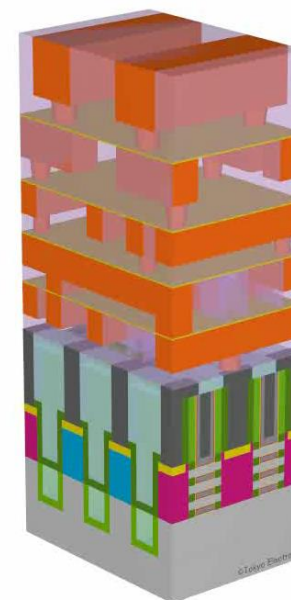
Nanosheet化でチャネル幅の制御性向上、積層化によるチャネル幅増 → 低リーク、高オン電流

# GAAデバイスプロセスフロー

FinFET



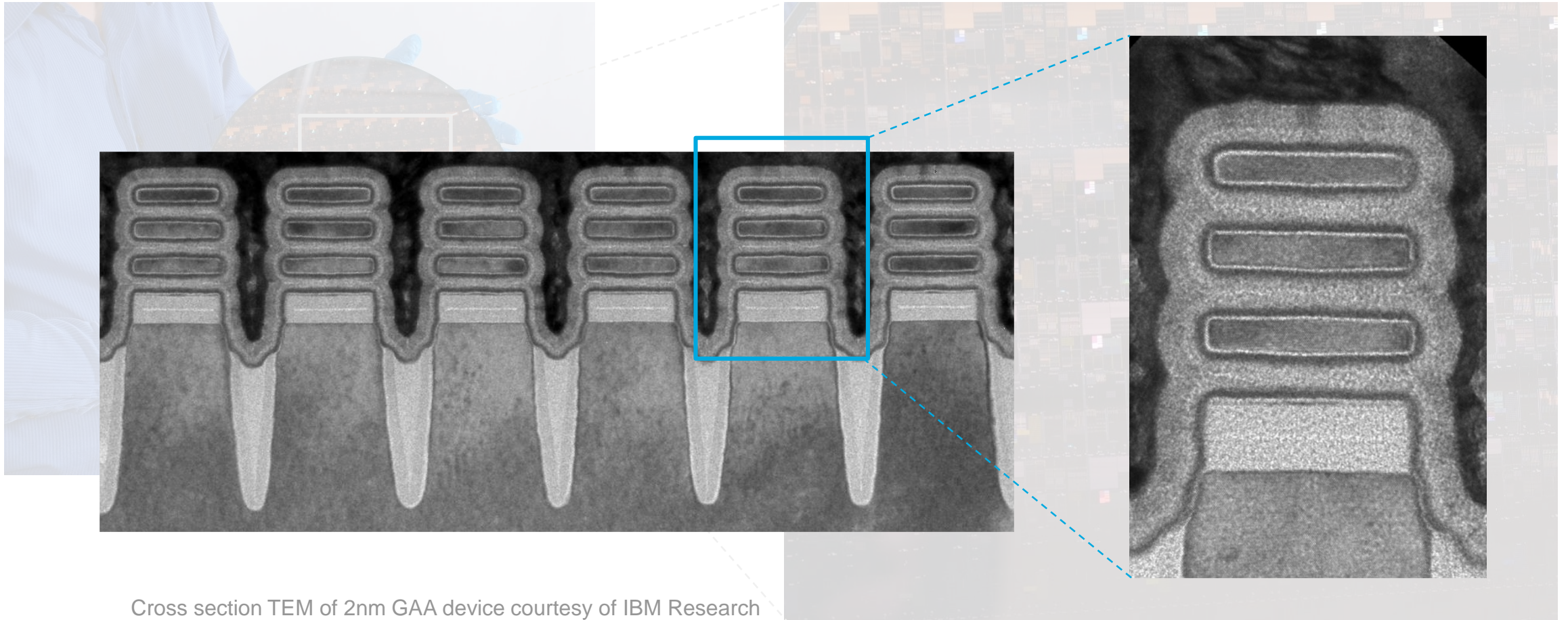
GAA FET



Source: TEL

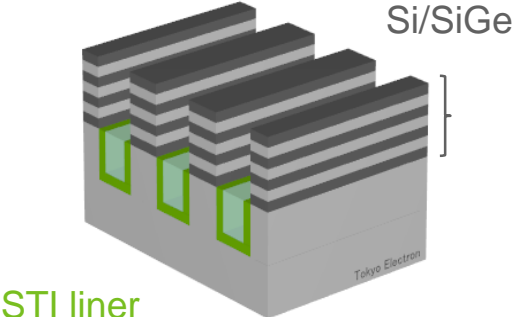
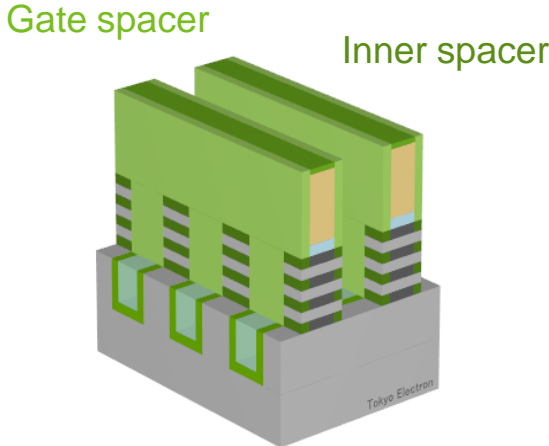
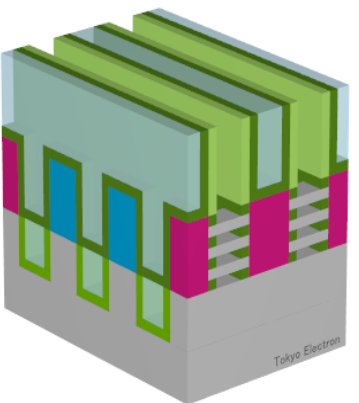
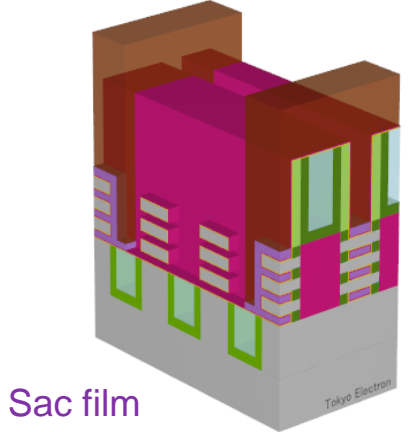
複雑なGAA構造をつくり上げるのにTEL装置は不可欠

# 2nm GAA テクノロジー



複雑なGAA構造をつくり上げるのにTEL装置は不可欠

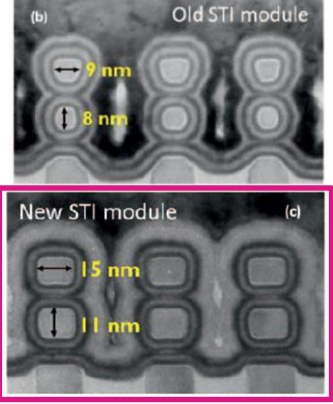
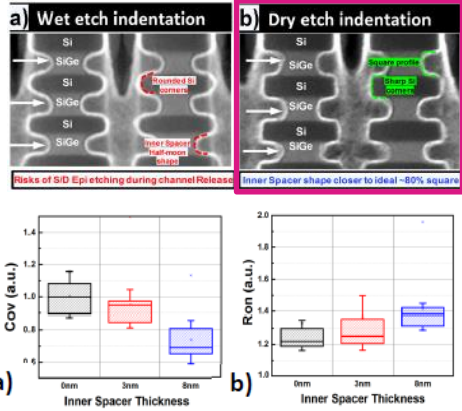
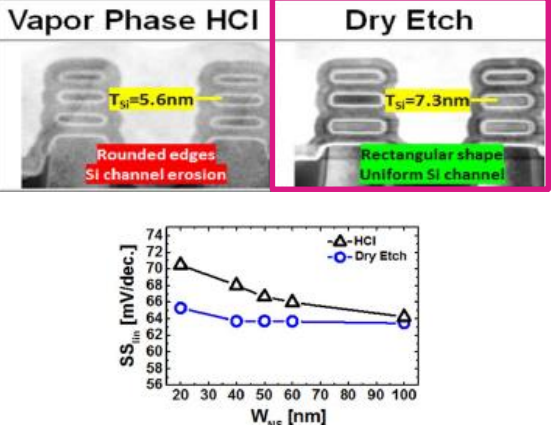
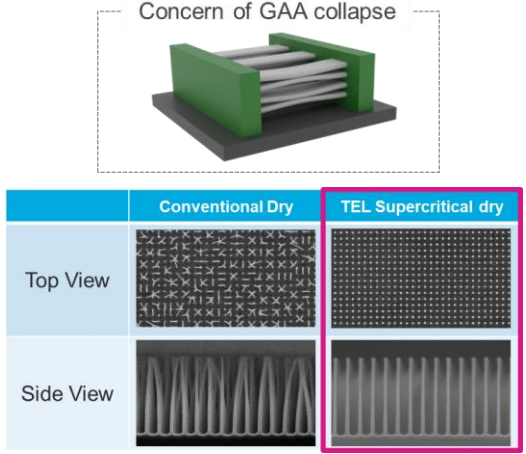
# GAA関連プロセスモジュール

Mold stack & Etch	Inner spacer	Nanosheet release	Replacement gate
 <p>Si/SiGe</p> <p>STI liner</p>	 <p>Gate spacer</p> <p>Inner spacer</p>		 <p>Sac film</p>
<ul style="list-style-type: none"> <li>• SiGe/Si: Defect free, Uniform EPI</li> <li>• Trench etch: Vertical profile</li> <li>• STI liner: Prevent oxidation</li> <li>• STI OX: Low temp.</li> <li>• STI recess: Loading less</li> </ul>	<ul style="list-style-type: none"> <li>• Fin recess: Vertical profile</li> <li>• Indent etch: Loading less</li> <li>• Inner spacer dep.: Low-k (<math>k &lt; 5</math>)</li> <li>• Inner spacer etch: High selective</li> </ul>	<ul style="list-style-type: none"> <li>• Full channel etch: High selective</li> </ul>	<ul style="list-style-type: none"> <li>• Reliability Si etch: High selective</li> <li>• Advanced drying: Collapse free</li> <li>• Sac film: Conformal</li> <li>• WFM/Dipole film: Conformal</li> <li>• WFM/Dipole etch: High selective</li> </ul>

Source: TEL

Nanosheetのクリティカルモジュールに対する新たなソリューションを提供

# GAA関連プロセスモジュール

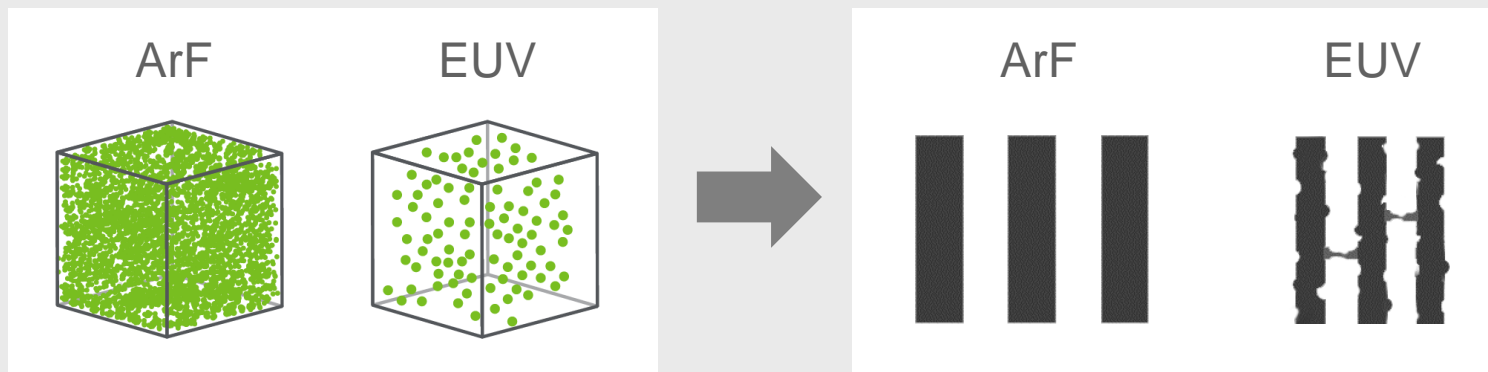
Mold stack & Etch	Inner spacer	Nanosheet release	Replacement gate
 <p>R. Ritzenthaler (imec) et al., iedm 2018</p>	 <p>N. Loubet (IBM) et al., iedm 2019</p>	 <p>N. Loubet (IBM) et al., iedm 2019</p>	 <p>Source: TEL</p>
<ul style="list-style-type: none"> <li>• SiGe/Si: Defect free, Uniform EPI</li> <li>• Trench etch: Vertical profile</li> <li>• <b>STI liner: Prevent oxidation</b></li> <li>• STI OX: Low temp.</li> <li>• STI recess: Loading less</li> </ul>	<ul style="list-style-type: none"> <li>• Fin recess: Vertical profile</li> <li>• <b>Indent etch: Loading less</b></li> <li>• Inner spacer dep.: Low-k (<math>k &lt; 5</math>)</li> <li>• Inner spacer etch: High selective</li> </ul>	<ul style="list-style-type: none"> <li>• <b>Full channel etch: High selective</b></li> </ul>	<ul style="list-style-type: none"> <li>• Reliability Si etch: High selective</li> <li>• <b>Advanced drying: Collapse free</b></li> <li>• Sac film: Conformal</li> <li>• WFM/Dipole film: Conformal</li> <li>• WFM/Dipole etch: High selective</li> </ul>

特にSi/SiGeトレンチの酸化抑制、高選択・高制御SiGeエッチング、パターン倒壊防止が重要



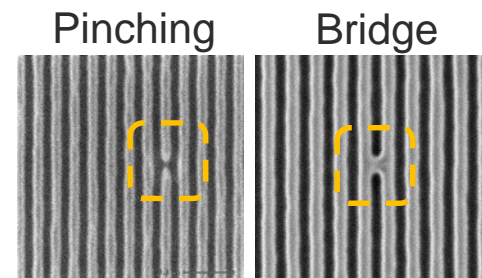
# 微細化：EUV露光技術チャレンジ

## Stochastic noise

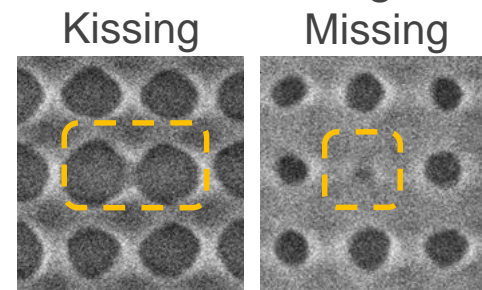


- The number of EUV photons is only **1/14** compared to ArF at the same dose.
- Photon absorption of EUV resist is lower than that of ArF resist.
- These cause large edge roughness, resulting in one of the sources of pattern defects.

Performance  
Line : LER, Pinching, Bridge



Hole : L-CDU, Kissing, Missing

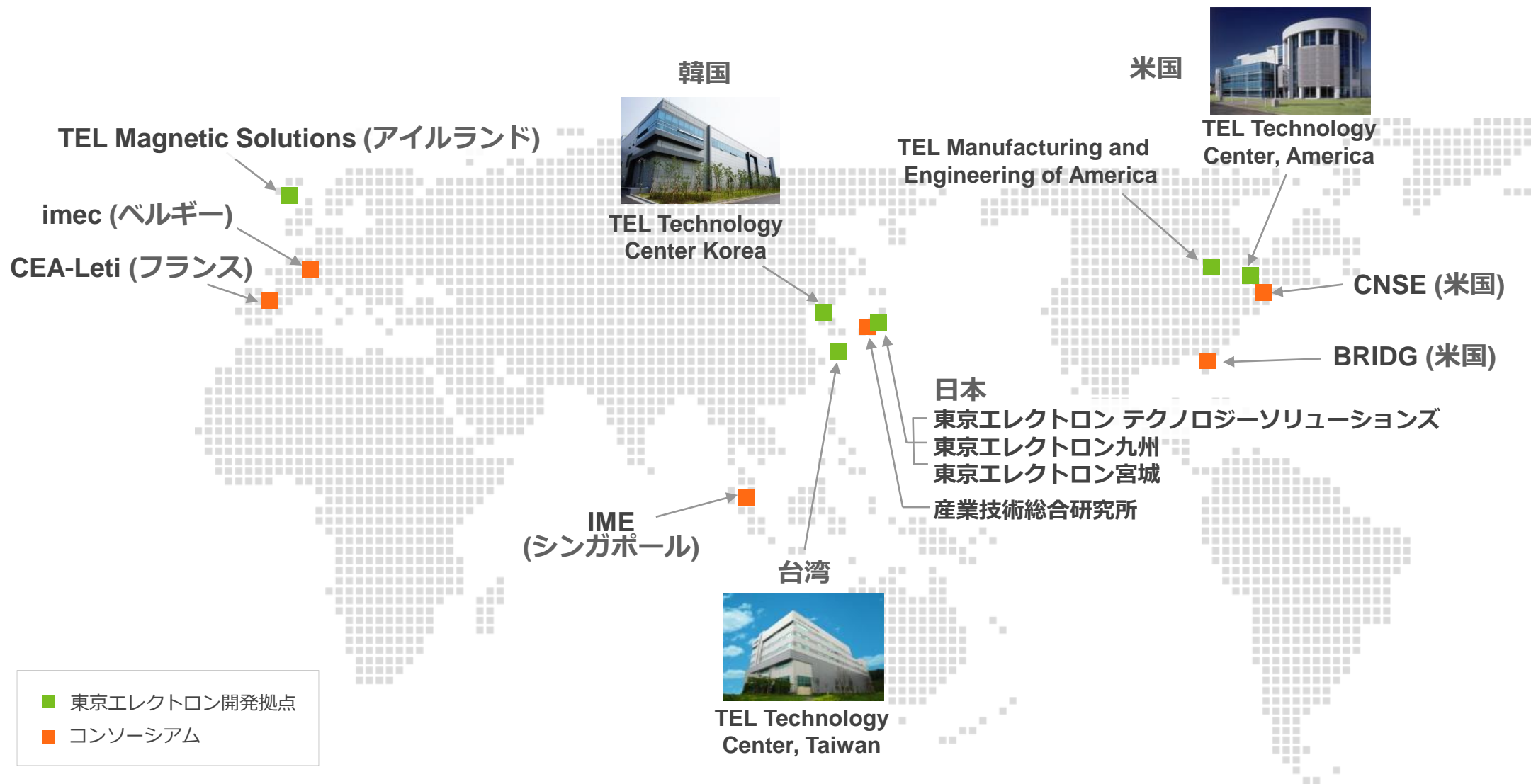


Source: S. Morikita, et al., Tokyo Electron Miyagi (DPS2018)

高生産性、高制御、低欠陥の実現には  
レジストスタックとエッチングの共最適化が必要

# グローバル開発拠点

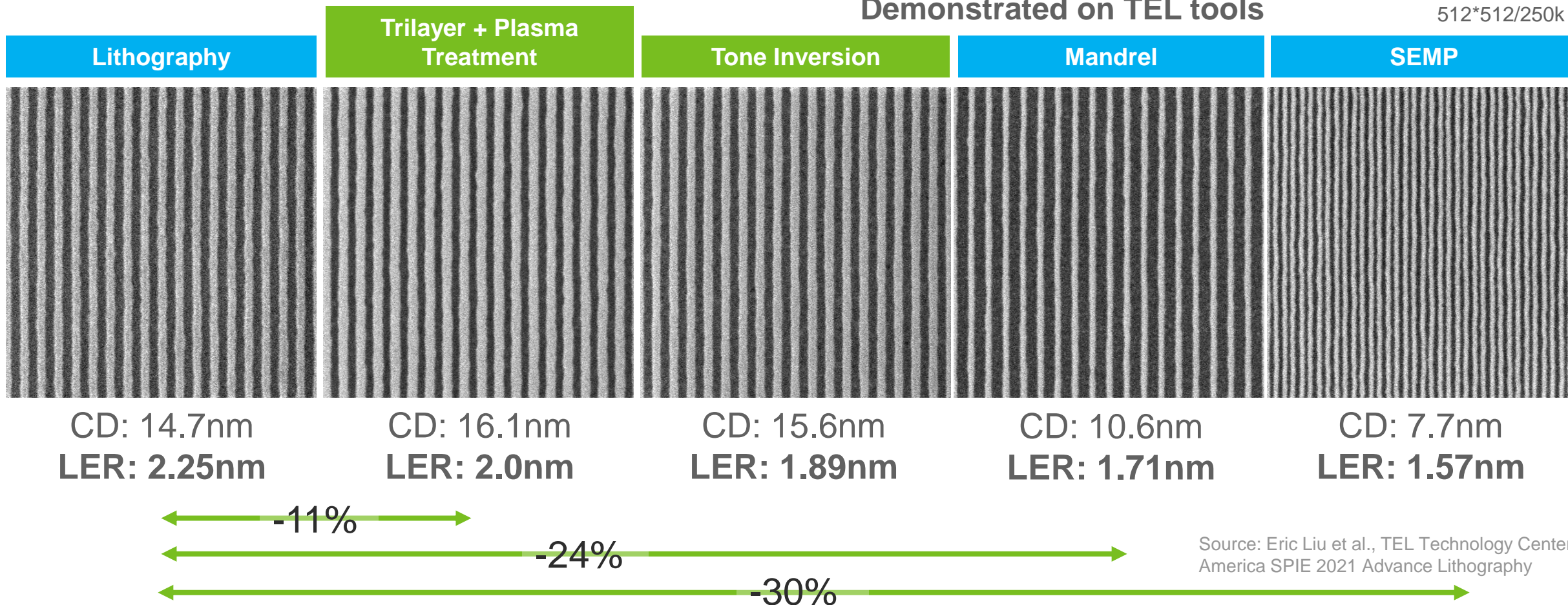
(2021年6月1日現在)



# EUV SADPを使った15nmピッチのL/S構造

Litho Pitch: 30nm  
CDSEM CG6300  
512\*512/250k

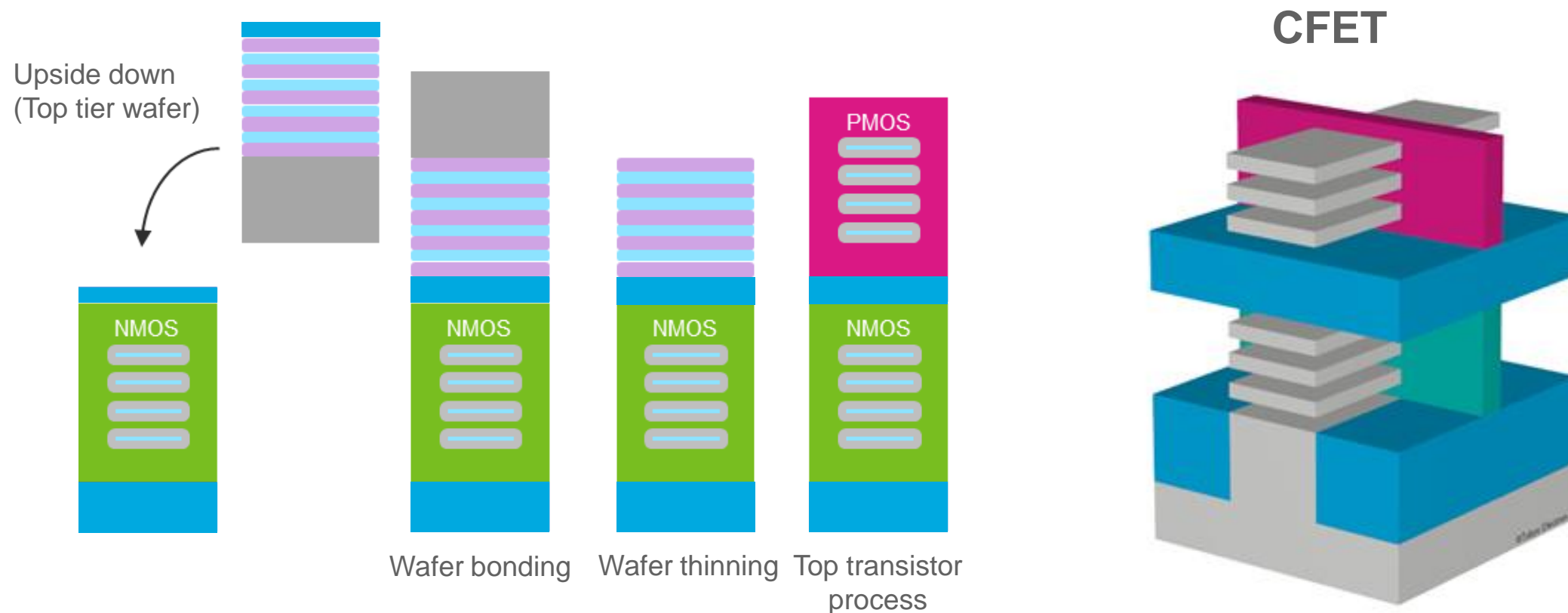
Demonstrated on TEL tools



Source: Eric Liu et al., TEL Technology Center, America SPIE 2021 Advance Lithography

業界をリードする15nmピッチのL/Sパターンを実現

# 後工程：ウェーハボンディングとThinning技術 for CFET



低歪ウェーハ張り合わせ技術と基板の薄膜化技術が  
スケーリングブースター技術に必要となる

# 後工程：ウェーハボンディングとThinning技術 for BSPDN

## Backside PDN

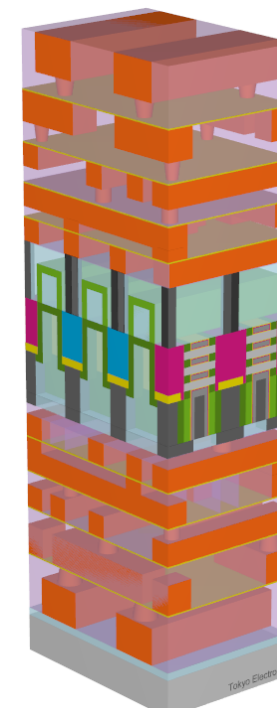
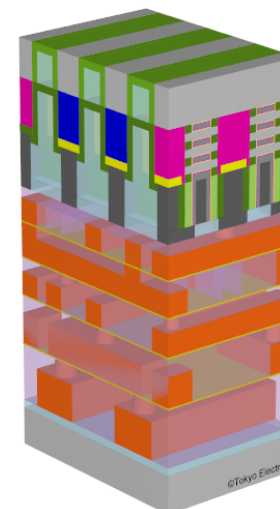
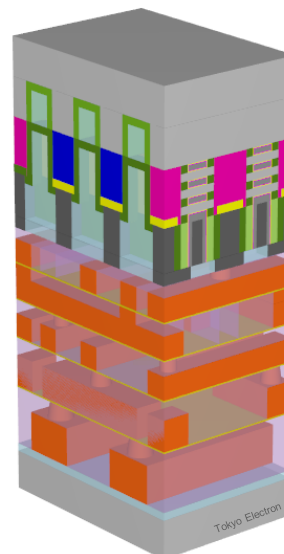
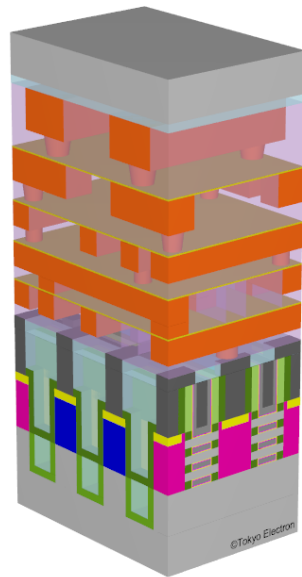
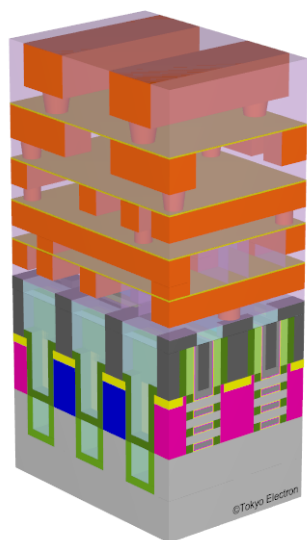
BEOL  
(Back side)

BEOL  
(Front side)

Wafer bonding

Upside down

Wafer thinning



低歪ウェーハ張り合わせ技術と基板の薄膜化技術が  
スケーリングブースター技術に必要となる

# 後工程の進化：ボンディング

## Wafer Level Fusion Bonder Synapse™ Si



### Key Features

- Designed for high volume manufacturing
- High availability for production
- Excellent alignment accuracy
- Realized high volume manufacturing with Cu Hybrid Bonding technology

### Applications

- Fusion Bonding for C-MOS Image Sensor
- Any application requires Cu Hybrid Bonding

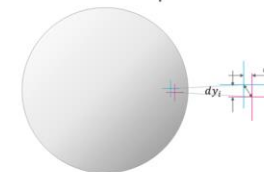
TEL

## Alignment Accuracy (Total Overlay)

Two wafers are bonded together



After bonding, alignment accuracy is measured by IR camera at each point



Experimental Data (TEL TEG Wafer)

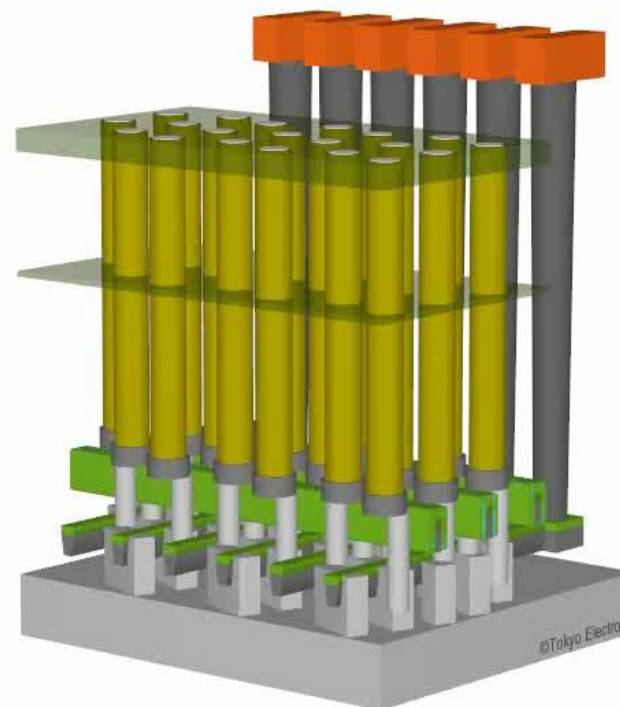
	1	2	3	4	5	6	7	8	9	10	11	12
[Dx] Max(nm)	59	59	58	70	67	66	74	74	70	62	63	63
[Dy] Max(nm)	56	57	50	56	69	62	70	71	67	44	47	49
DxDy Map												
Residential Map												

TEL

3Dインテグレーションがデバイスのハイブリッド化を促進

# DRAMトレンドとビジネス機会

# DRAM構造とプロセスフロー



Source: TEL

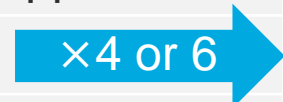
高アスペクト比構造は高度なパターンニング技術を要する



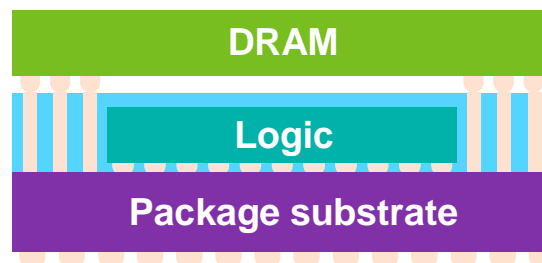
# スマートフォン用DRAMの進化



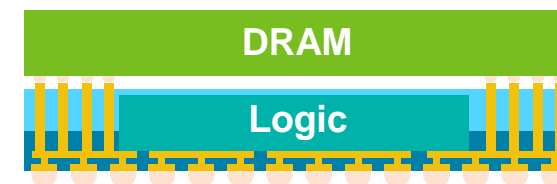
Product Year	2014	2020
Tech. Node	25nm	1ynm
DDR	LPDDR3	LPDDR4X
Data Rate	1.333Gbps	4.266Gbps
Capacity	1GB (4Gb × 2)	4GB or 6GB (8Gb or 12Gb × 4)



Source: Wikipedia



Flip Chip Package on Package



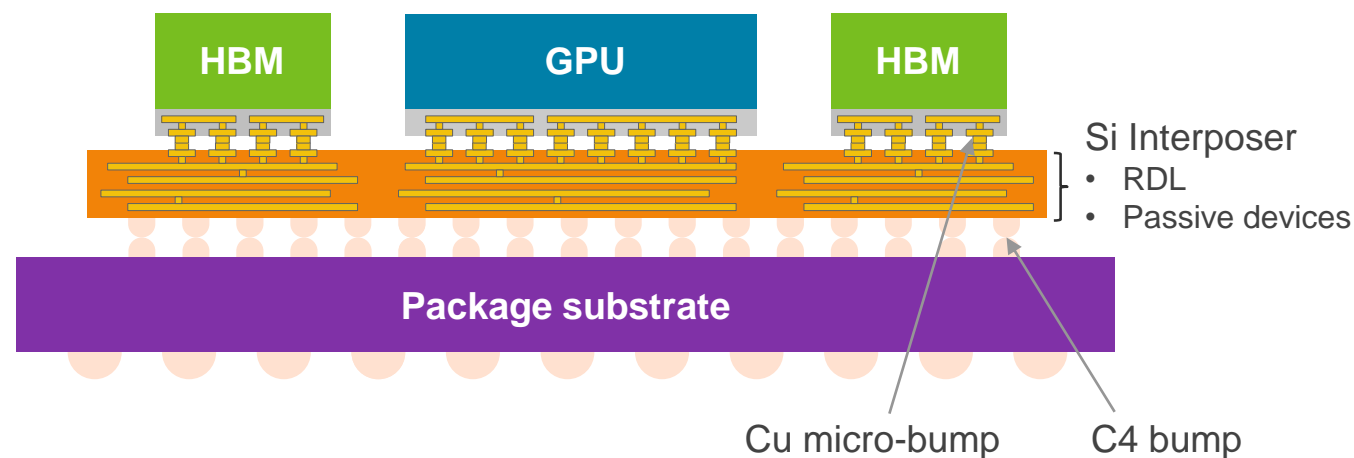
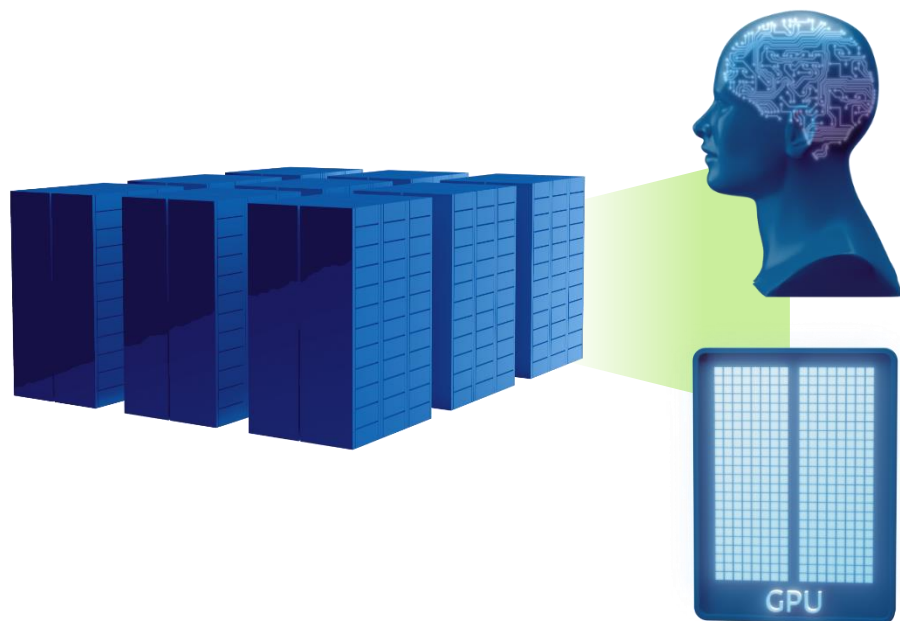
Integrated Fan-Out

取り扱うデータの増大に伴い、搭載容量が増大し、高速化が進んだ  
集積度の向上、PKGの進化

# GPU (演算アクセレーター) とHBM DRAM

Product Year	2016	2020
Capacity	16GB HBM2 (HBM2×4)	80GB HBM2e (HBM2e×6)

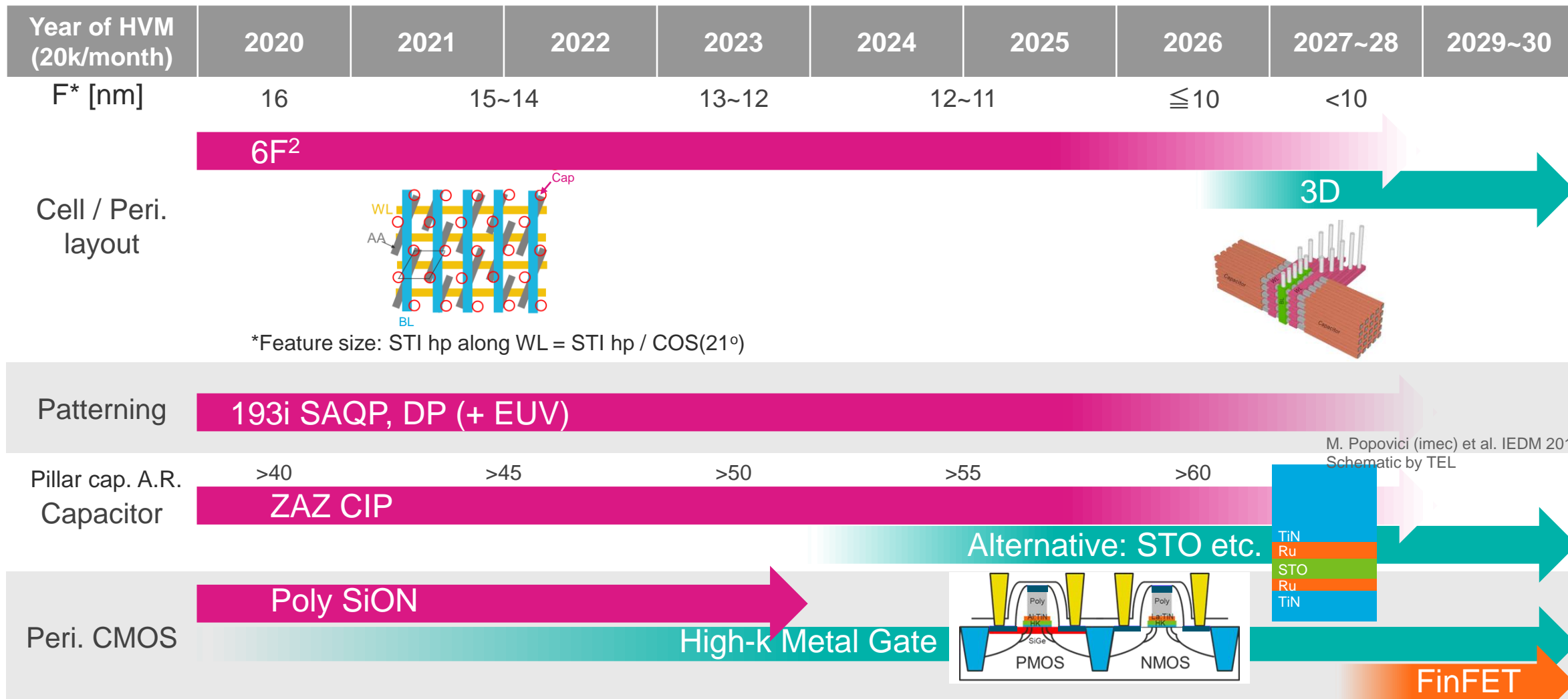
Source: Wikipedia



HPCにおいても取り扱うデータの増大に伴い、容量増大、高速化が進んだ  
 ここでも集積度の向上、PKGの進化は必須

# DRAM技術ロードマップ

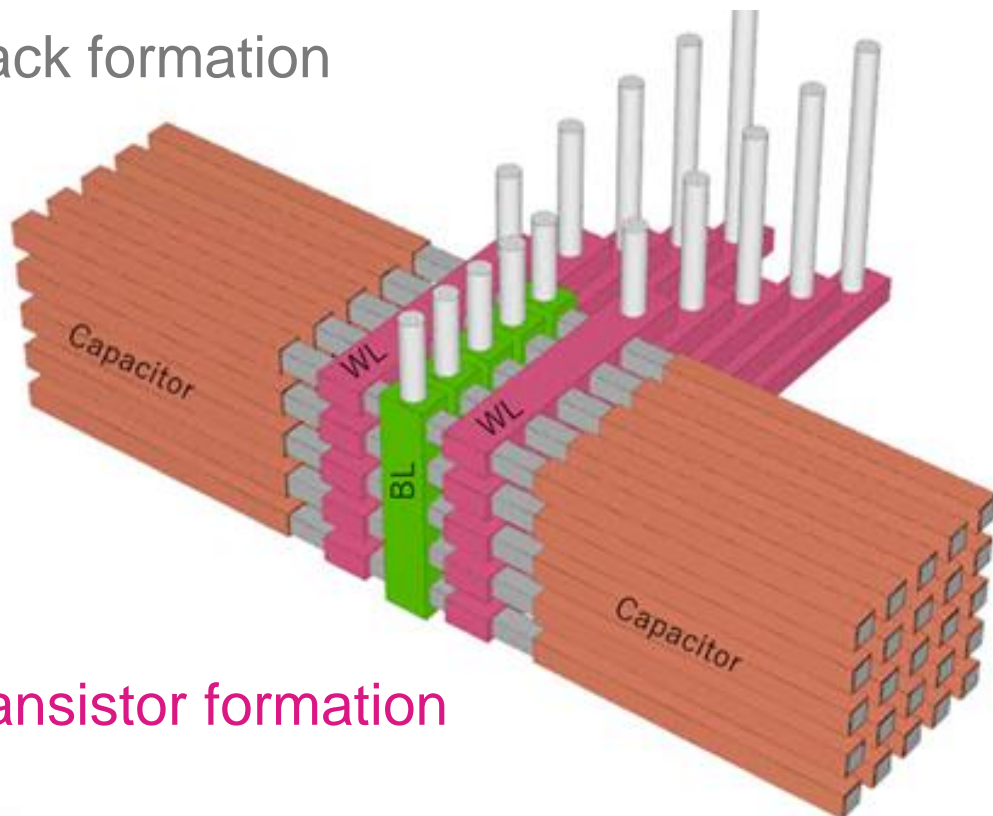
Source: TEL想定



M. Popovici (imec) et al. IEDM 2018  
Schematic by TEL

# 3D DRAMにおける Key Modules

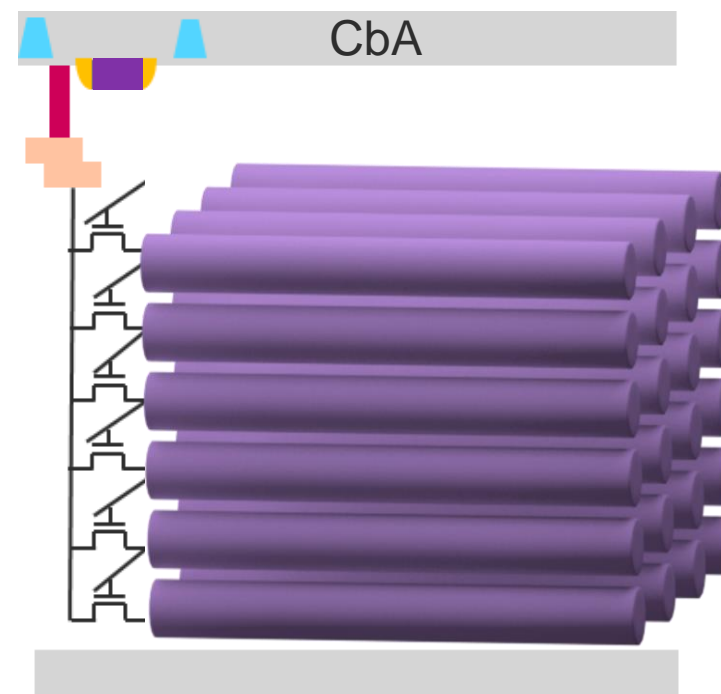
Stack formation



Cell Transistor formation

Capacitor formation

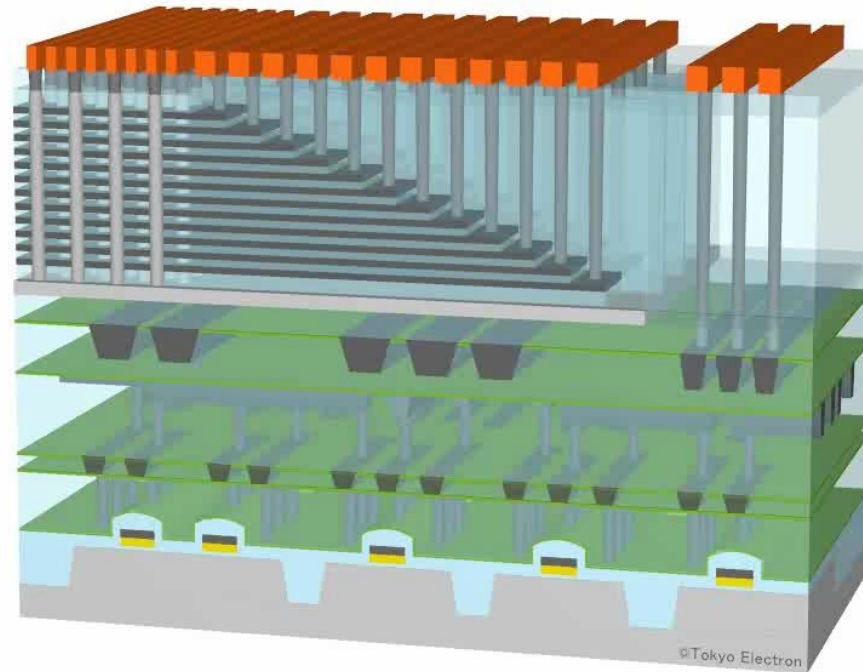
CMOS wafer bonding to enable CbA



多数のオプションを評価中

# NANDトレンドとビジネス機会

# 3D NAND Bit Densityの進化



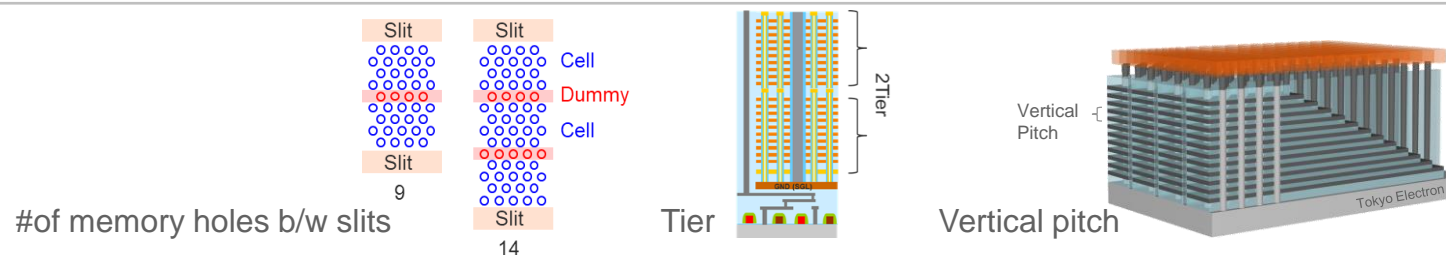
Source: TEL

デバイスフットプリント削減はロジックをメモリの下に搭載することで実現

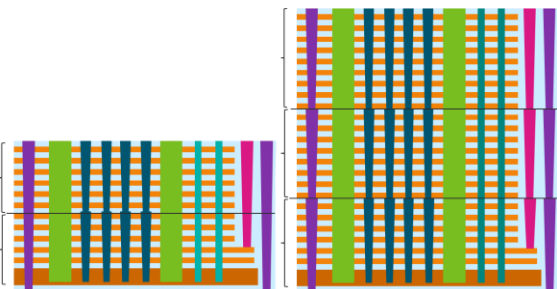
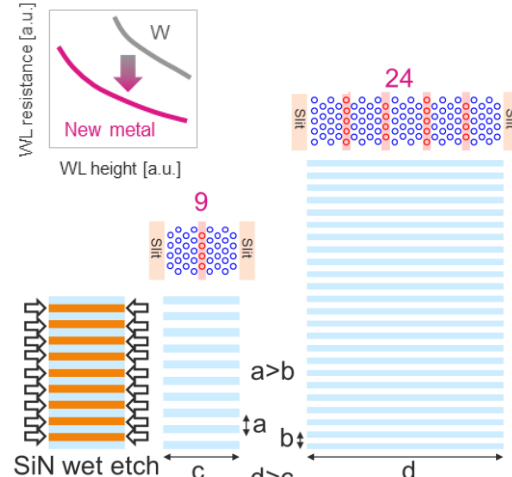
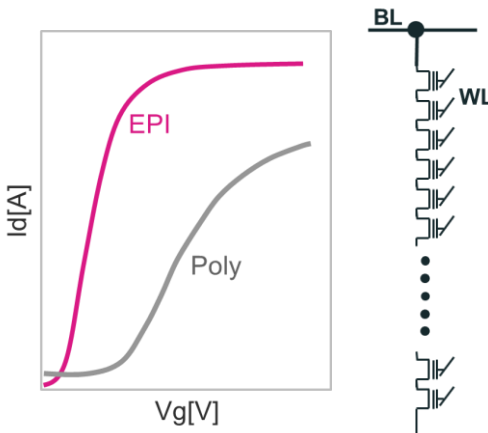
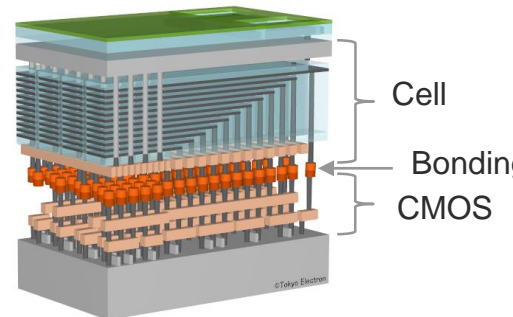
# NAND技術ロードマップ

Source: TEL想定

Year of HVM (20k/month)	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030
Stack (~1.6x/3years)	128L	16x~19xL (176)	22x~25xL (240)	28x~32xL (304)	35x~4xxL (368)	41x~45xL (440)	5xxL (512)				
Tier	1 or 2	2	2	2	2	2 or 3	3	3	3 or 4		
Vertical pitch	50~55nm	45~55nm	40~50nm	35~45nm	35~45nm	35~45nm	35~45nm	35~45nm	35~40nm		
Memory height	7~8μm	8.5~10.5μm	10~12.5μm	11~14μm	13.5~17μm	16~20.5μm	18.5~21μm				
Channel		Poly Si grain CIP			incl. MILC Si						
WL metal	W	W	W	Mo	Mo	Mo	Mo	Mo	Mo		
#of memory holes b/w slits	9	9	9~24	14~24	19 or 24	19 or 24	19 or 24	19 or 24	19 or 24		
Peri. CMOS (In general)	Under array or Next array	Under array	Under array or Bonding	Under array or Bonding	Under array or Bonding	Under array or Bonding	Under array or Bonding	Under array or Bonding	Under array or Bonding	Under array or Bonding	Under array or Bonding



# 3D NAND技術チャレンジと解決策

HARC	Replacement gate: WL	Channel Si	Peri. CMCO bonding
 <p>Current Potential</p>	 <p>WL resistance [a.u.] WL height [a.u.] New metal SiN wet etch c d a &gt; b b &lt; a d &gt; c 9 24</p>	 <p><math>I_d</math>[A] V<sub>g</sub>[V] EPI Poly BL WL</p>	 <p>Cell Bonding CMOS</p>
<ul style="list-style-type: none"> <li>• HARC etch: Pluralization of each process (multi-level contact/slit/channel, etc.)</li> </ul>	<ul style="list-style-type: none"> <li>• SiN wet etch: High selective</li> <li>• Advanced drying: Collapse free</li> <li>• Mo CVD: Low R WL metal</li> </ul>	<ul style="list-style-type: none"> <li>• CVD Si CIP: Large grain size → EPI like</li> </ul>	<ul style="list-style-type: none"> <li>• Cu hybrid bonding</li> </ul>

Source: TEL

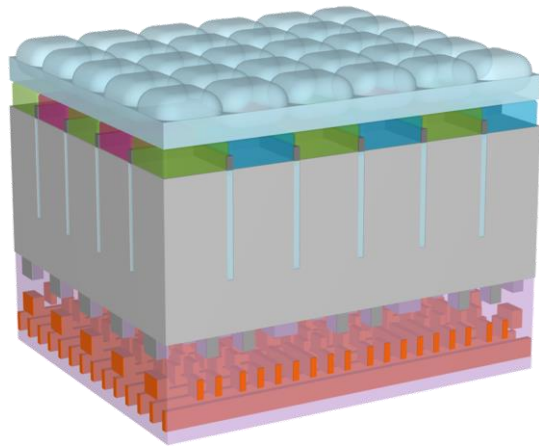
NANDデバイスのさらなる高付加価値化にはプロセス技術進化が不可欠



# CISトレンドとビジネス機会

# AIを搭載しセンサ機能を拡張したCIS

Image sensor



AI



×

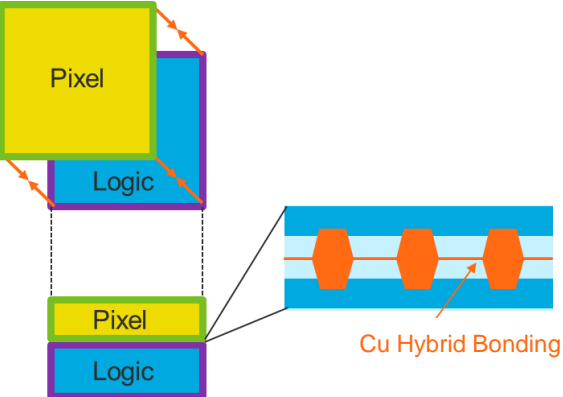
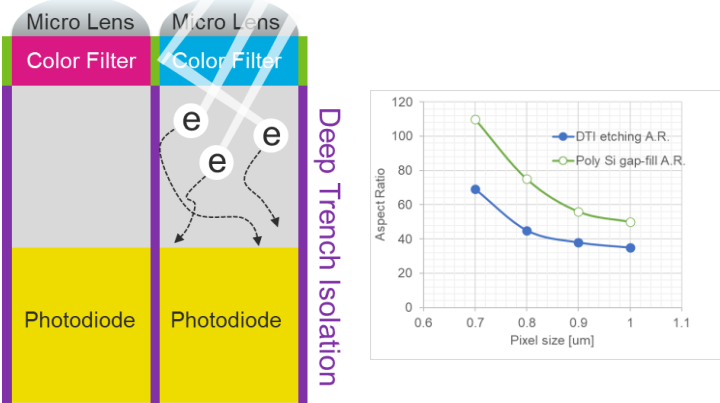
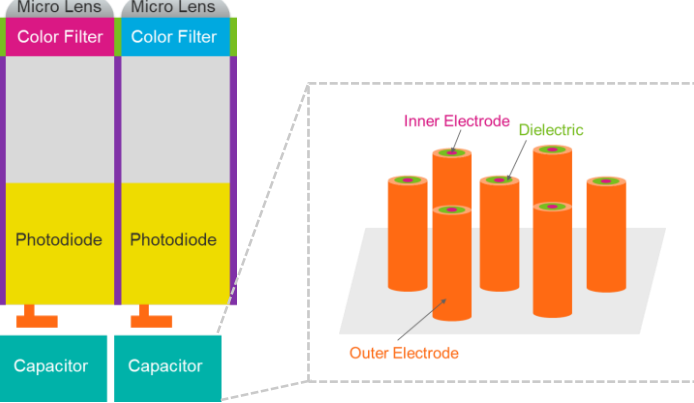
=

Applications



デバイスのハイブリッド化が進みさらなる付加価値を生み出す

# CIS 技術チャレンジと解決策

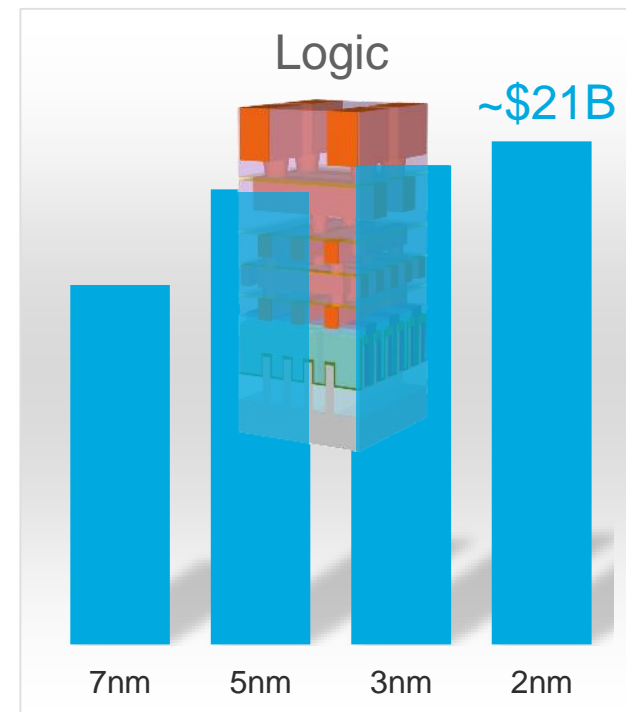
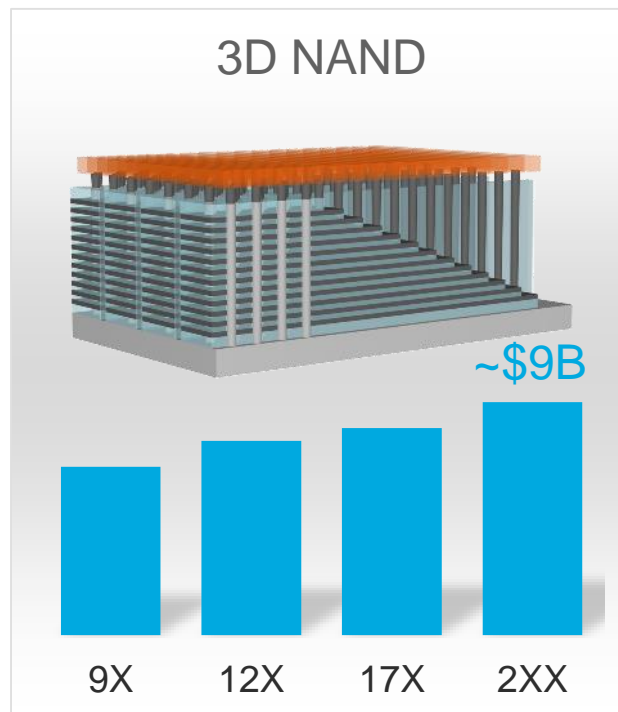
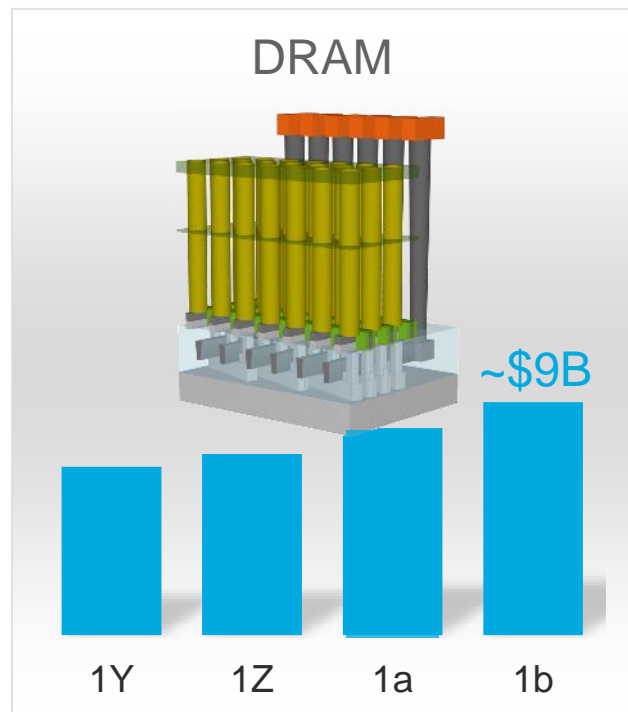
Wafer bonding: 3D stacked BSI	Deep Trench Isolation: Pixel scaling	Capacitor: Global Shutter
 <p>Back-illuminated CMOS image sensor</p>	 <p>H. Kim (Samsung) et al. ISSCC 2020 Data edit by TEL</p>	 <p>Jae-kyu Lee (Samsung) et al. ISSCC 2020 Schematic by TEL</p>
<ul style="list-style-type: none"> <li>• Wafer level Cu to Cu hybrid bonding</li> </ul>	<ul style="list-style-type: none"> <li>• Si deep trench etch: High A.R. etch</li> <li>• Poly Si gap-fill: Depo-Etch-Depo for void free fill</li> </ul>	<ul style="list-style-type: none"> <li>• Capacitor etch</li> <li>• Dielectric deposition</li> <li>• Metal deposition</li> </ul>

ボンディング技術のみならずエッチング、成膜技術も重要性を増す

# まとめ

# 高まる半導体製造装置の付加価値

月産10万枚当たりWFE投資額（Greenfield、当社予測）



新たなアプリケーションの登場と技術難易度の高まりが、  
半導体製造装置メーカーの事業機会を拡大

# まとめ

- 市場要求は複雑になってきている
- これらニーズに応えるため、多機能化を含めデバイスの進化が加速している
- 多機能化の多くは既存プロセス・装置技術でカバーできるが技術進化も不可欠
- また環境(SDGs)を念頭に技術開発を進める必要がある
- 先端デバイス開発は直接SDGsへとつながる
- TELではプロセス開発をWorldwideで展開し、社内外でのGlobal Collaborationを通して最先端デバイス開発を強かに推し進めている
- この後続く事業部の発表では具体的な事例を挙げる

# 最先端EUVレジストプロセス技術の課題とソリューション

2021年10月12日

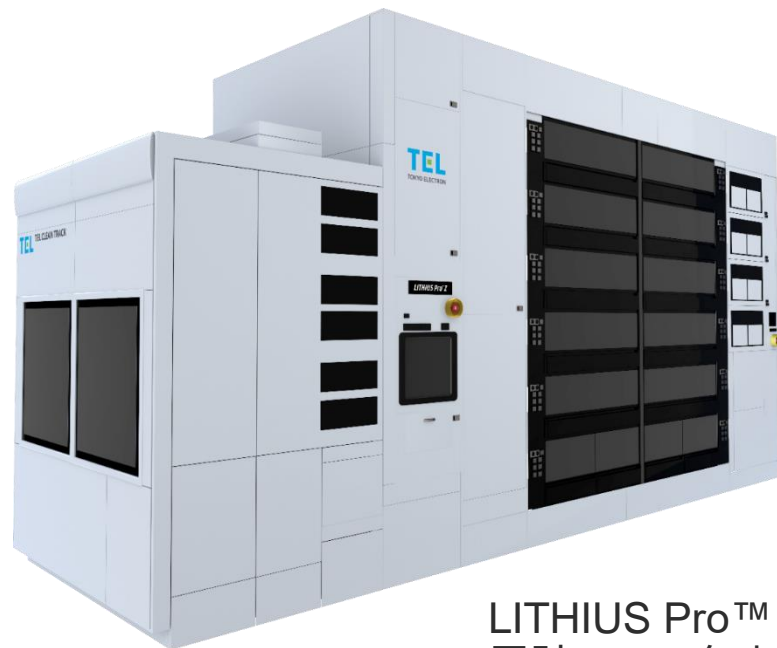
秋山 啓一  
執行役員、CTSPS BUGM



# EUV向け塗布現像装置 CLEAN TRACK™ LITHIUS Pro™ Z EUV

2012 LITHIUS Pro™ Zリリース（累計> 1600台出荷）

EUV CAR/MOR対応新機能を順次リリース



LITHIUS Pro™ Z EUV  
累計 > 100台出荷

## 高信頼性

100%のEUVインライン市場シェア

## 高生産性

EUV露光機の性能を最大限発揮

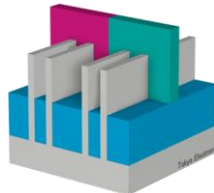
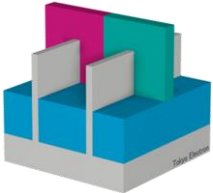
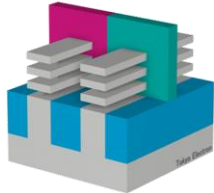
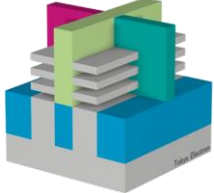

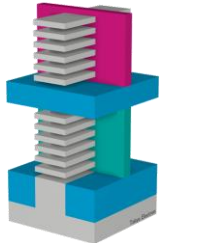
## 高汎用性

化学増幅型レジスト(CAR)に加え、  
メタルオキサイドレジスト(MOR)や下層膜にも対応

さまざまな光源の露光機向けに長年の量産実績のあるLITHIUS Pro™ Zプラットフォームで、  
EUV露光機向けにも高信頼性、高生産性を担保。次世代EUV向け高汎用性も実現



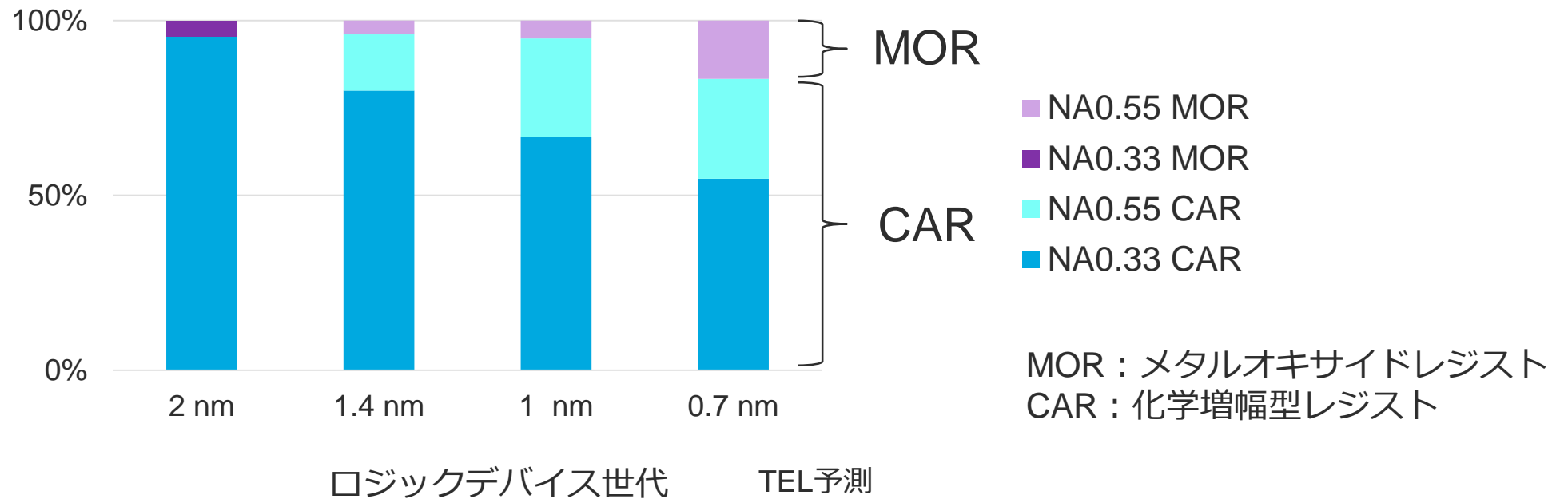
# ロジック技術のロードマップとEUVリソグラフィ技術の推移

量産時期	2020	2022	2024	2026	2028	2030
ノード	5 nm	3 nm	2 nm	1.4 nm	1 nm	0.7 nm
デバイス	2 Fin 	2~1 Fin 	GAA NS 	Forksheet 	CFET 	2 <sup>nd</sup> Gen. CFET 
最小メタルパターン ピッチ [nm]	28	22	20	18	16	12
EUVパターンニング 技術	EUV MP	EUV MP	EUV MP	EUV MP 高NA EUV	EUV MP 高NA EUV MP	EUV MP 高NA EUV MP
レジスト	CAR	CAR (+MOR)	CAR (+MOR)	CAR+MOR	CAR+MOR	CAR+MOR

CAR : 化学増幅型レジスト、MOR : メタルオキサイドレジスト、MP : マルチパターンニング

塗布現像装置で、MORや高NA EUVなど  
将来EUVリソグラフィ技術へ向けて汎用性拡大対応中

# ロジックデバイスのEUV CAR/MOR適用レイヤー比率の推移予測

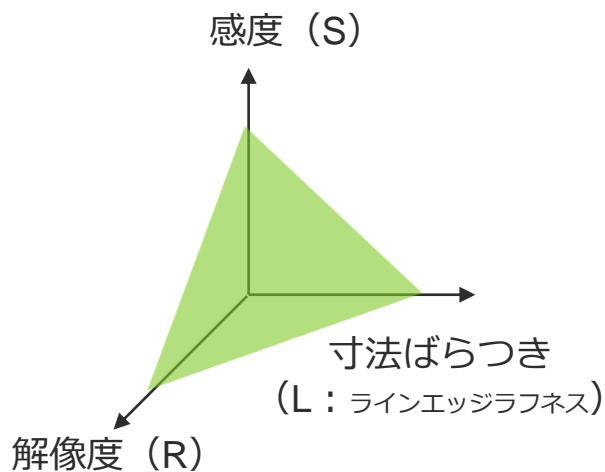


ロジックデバイスで、世代が進むにつれて徐々にMORの比率が上昇するが、引き続きCAR比率も高い。当社の塗布現像装置はMORもCARも1台で対応できる高汎用性を実現。高NA (NA0.55) リソグラフィーの適用比率も上昇していく見込みで、対応技術を開発中

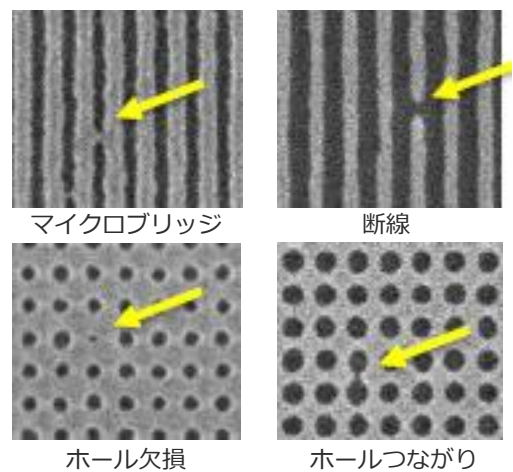
# EUVリソグラフィプロセスのロードマップと課題

ラインピッチ(nm)	34	32	30	28	26	24	22	20
ホールピッチ(nm)	42	40	38	36	34	32	30	22
EUV露光装置 レジスト技術 の推移	0.33 NA EUV				0.55 NA EUV (高NA EUV : 高解像度化)			
	化学増幅型レジスト (CAR)							
	メタルオキシドレジスト (MOR)							

## RLSトレードオフ

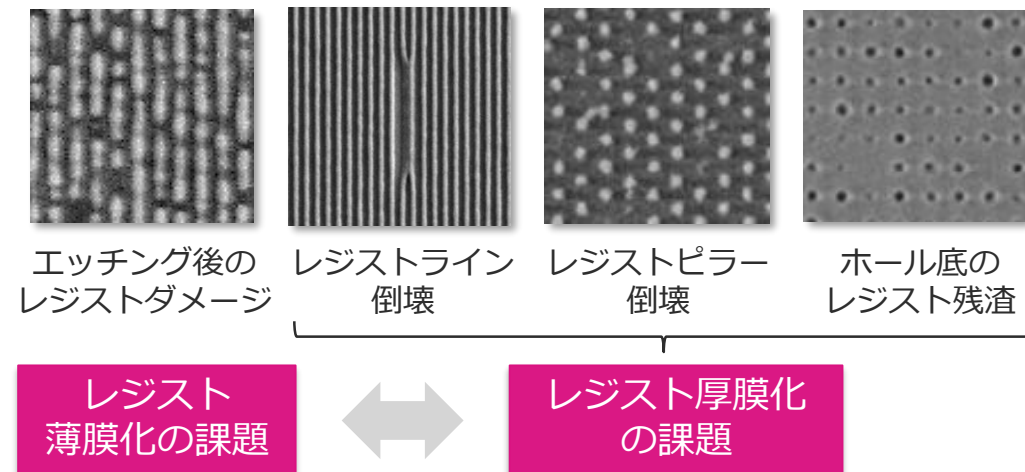


## EUVばらつき欠陥の課題



P. De Bisschop, Proc. SPIE, 10957-10 (2019)

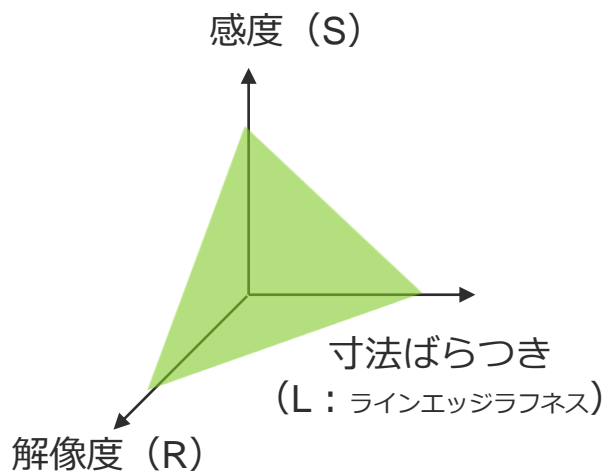
## レジスト必要膜厚確保の課題



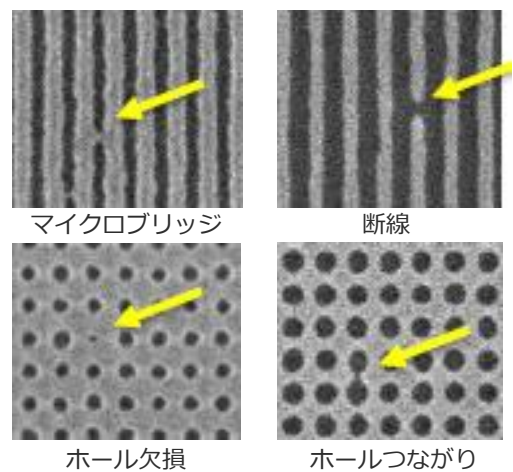
# EUVリソグラフィプロセスのロードマップと課題

ラインピッチ(nm)	34	32	30	28	26	24	22	20
ホールピッチ(nm)	42	40	38	36	34	32	30	22
EUV露光装置 レジスト技術 の推移	0.33 NA EUV				0.55 NA EUV (高NA EUV : 高解像度化)			
	化学増幅型レジスト (CAR)							
	メタルオキシドレジスト (MOR)							

## RLSトレードオフ



## EUVばらつき欠陥の課題



P. De Bisschop, Proc. SPIE, 10957-10 (2019)

## レジスト必要膜厚確保の課題

エッチング後のレジストダメージ  
レジストライン倒壊  
レジストピラー倒壊  
ホール底のレジスト残渣

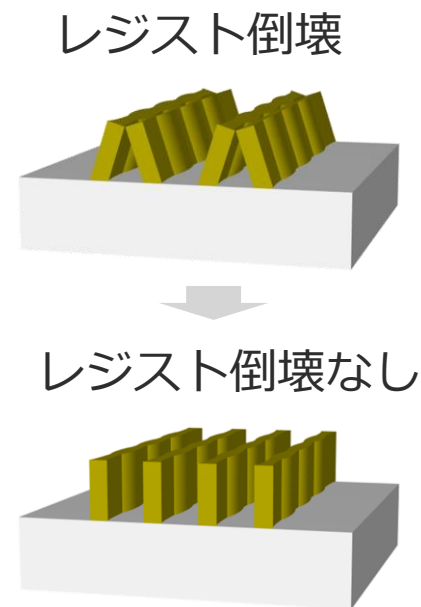
レジスト薄膜化の課題 ↔ レジスト厚膜化の課題

# CARの量産技術課題のソリューション例： ウェット現像の微細レジストラインパターン倒壊防止技術

レジスト塗布膜厚 38 nm で、28 nmピッチ14 nmライン形成例

EUV露光量

	→			
従来の現像後 リンスプロセス				
レジスト寸法 (nm)	14.0	13.4	12.5	11.7
新規現像後 リンスプロセス				
レジスト寸法 (nm)	14.0	13.1	12.4	11.8

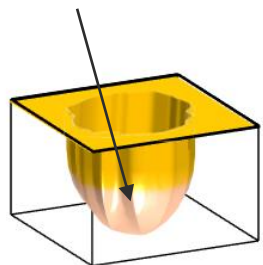


新技術で、  
パターンサイズ  
11.8 nmでも  
レジスト倒壊を防止

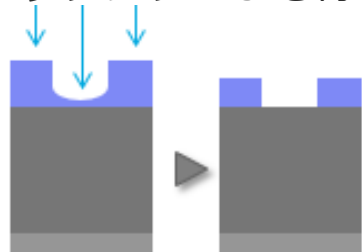
現像後の新リンス技術で、高アスペクト比のCARのパターン倒壊抑止し、  
広い量産プロセス余裕度を実現

# CARの量産技術課題のソリューション例： リソグラフィとエッチング技術最適化による微細ホール形成

ホール残渣の課題

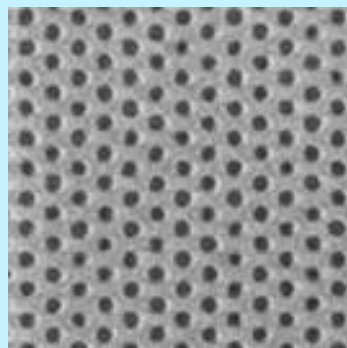


ホール残渣の  
エッチングによる除去



36 nmピッチ18 nmホール  
密集コンタクトホールパターンニング

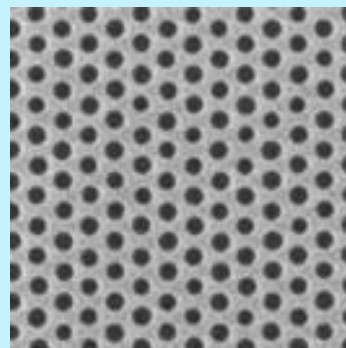
リソグラフィ後



Source: imec

ホールサイズ 18 nm

エッチング後

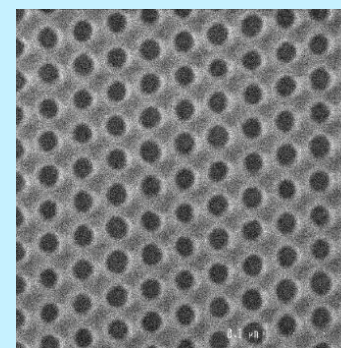


Source: imec

ホールサイズ **20 nm**  
サイズ拡大

46 nmピッチ23 nmホール  
13 nm コンタクトホールパターンニング

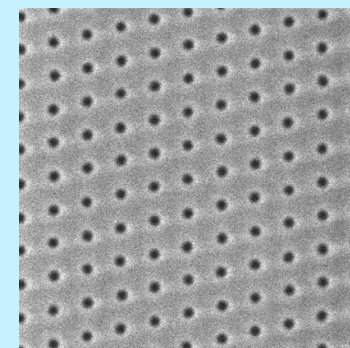
リソグラフィ後



Source: TEL

ホールサイズ 23 nm

エッチング後



Source: TEL

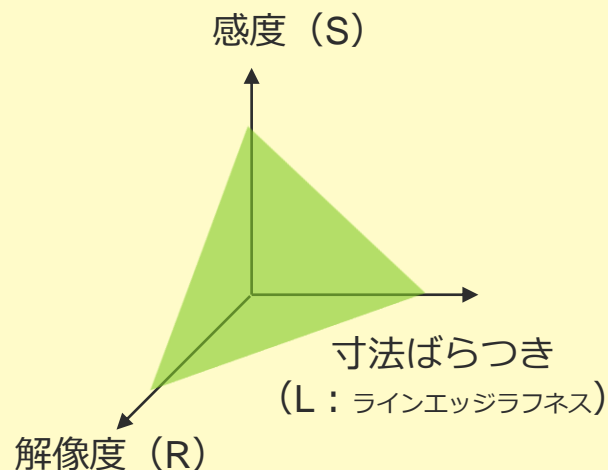
ホールサイズ **13 nm**  
サイズ縮小

EUVリソグラフィプロセス技術とエッチング技術の連携した最適化で、  
レジスト現像残渣の課題を解決

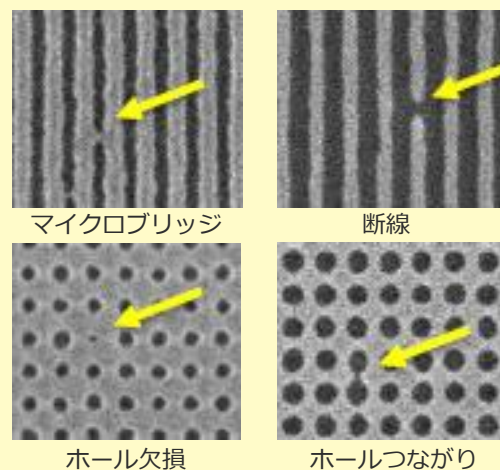
# EUVリソグラフィプロセスのロードマップと課題

ラインピッチ(nm)	34	32	30	28	26	24	22	20
ホールピッチ(nm)	42	40	38	36	34	32	30	22
EUV露光装置 レジスト技術 の推移	0.33 NA EUV				0.55 NA EUV (高NA EUV : 高解像度化)			
	化学増幅型レジスト (CAR)							
	メタルオキサイドレジスト (MOR)							

## RLSトレードオフ

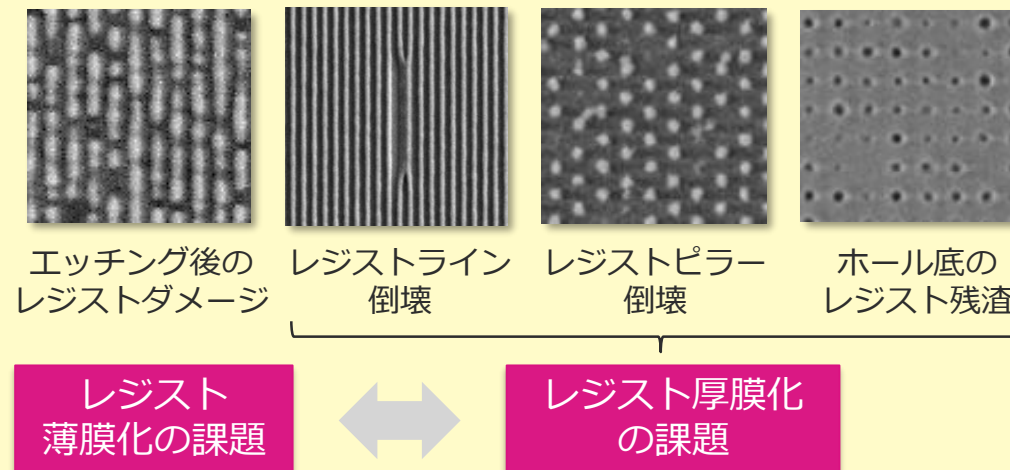


## EUVばらつき欠陥の課題



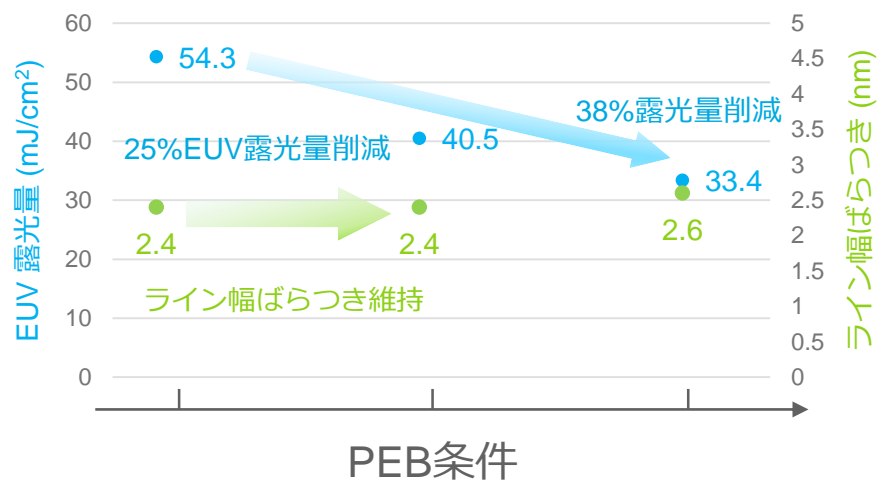
P. De Bisschop, Proc. SPIE, 10957-10 (2019)

## レジスト必要膜厚確保の課題

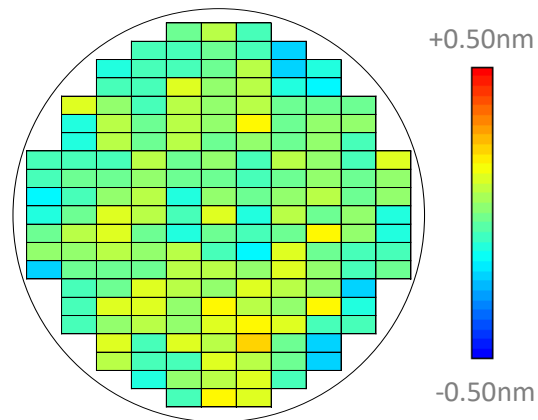


# MORの量産技術課題のソリューション例： MOR用に新規に開発した露光後ベーク (PEB) オープンの導入

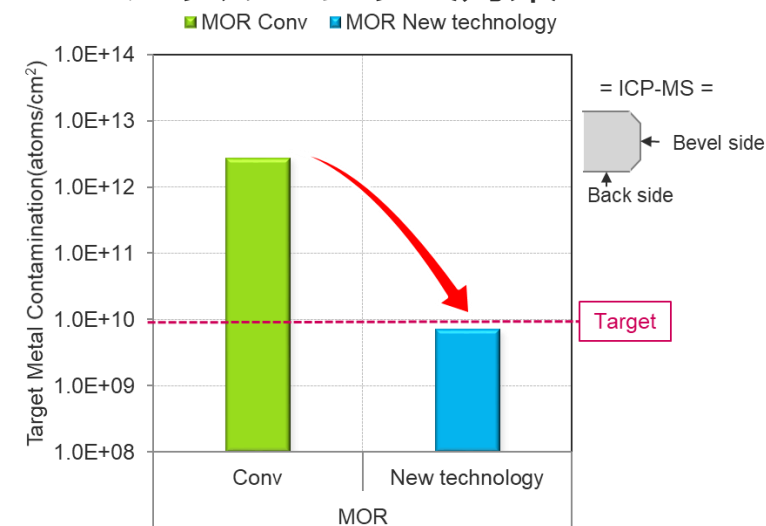
32 nmピッチ16 nmライン  
PEBプロセスによる高感度化



新規PEBオープンで  
高精度のレジスト寸法制御



新規PEBオープンで  
メタルコンタミ対策



EUV高感度化 > 20% (<40 mJ/cm²)

ウェーハ内レジスト寸法均一性~0.2 nm

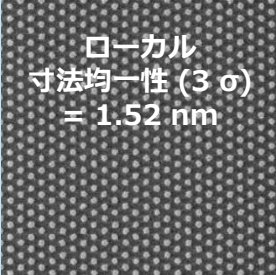
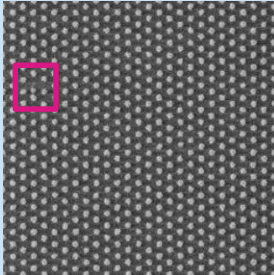
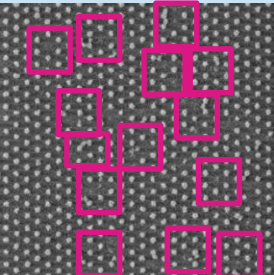
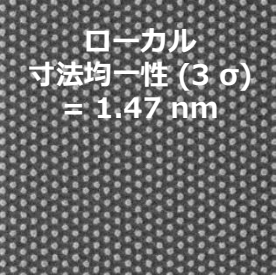
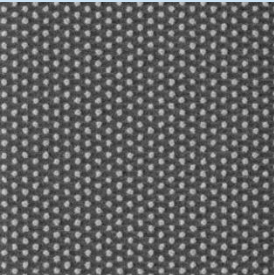
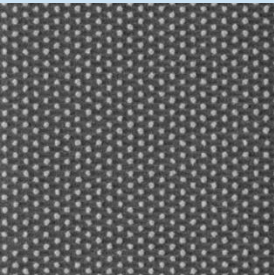
低メタルコンタミ <1E10個/cm²

新開発のMOR対応露光後ベーク (PEB) オープンで、量産向けのプロセスを実現

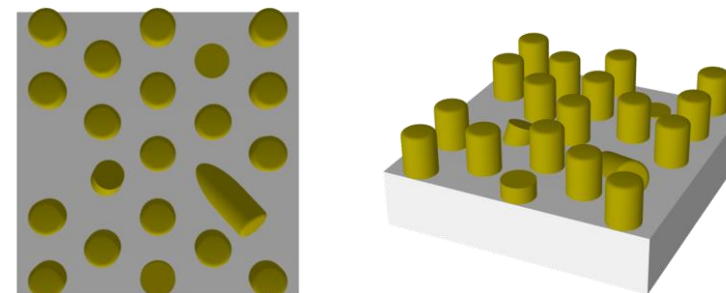


# MORの量産技術課題のソリューション例： 新開発のウェット現像技術

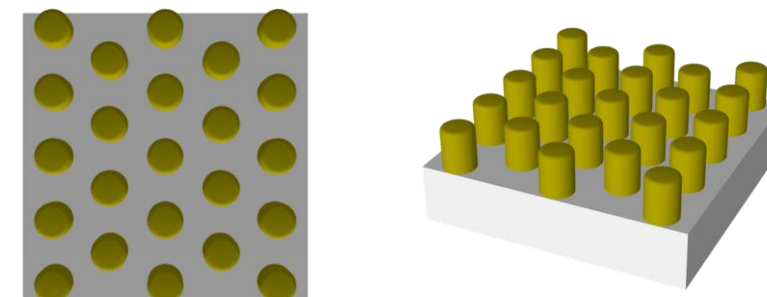
DRAM向け36 nmピッチ18 nm ピラー (リソグラフィー後)  
レジスト膜厚：22 nm

従来型 ウェット 現像技術	 <p>ローカル 寸法均一性 (3 σ) = 1.52 nm</p> <p>Source: TEL</p>	 <p>Source: TEL</p>	 <p>Source: TEL</p>
	<p>CD 18.0 nm EUV露光量 99.5 mJ/cm<sup>2</sup></p>	<p>16.8 nm 93.5 mJ/cm<sup>2</sup></p>	<p>15.1 nm 86.0 mJ/cm<sup>2</sup></p>
新開発の ウェット 現像技術	 <p>ローカル 寸法均一性 (3 σ) = 1.47 nm</p> <p>Source: TEL</p>	 <p>Source: TEL</p>	 <p>Source: TEL</p>
	<p>CD 18.0 nm EUV露光量 75.5 mJ/cm<sup>2</sup></p>	<p>16.7 nm 69.5 mJ/cm<sup>2</sup></p>	<p>15.2 nm 66.5 mJ/cm<sup>2</sup></p>

従来現像技術でレジスト倒壊



新ウェット現像技術で、レジスト倒壊抑制



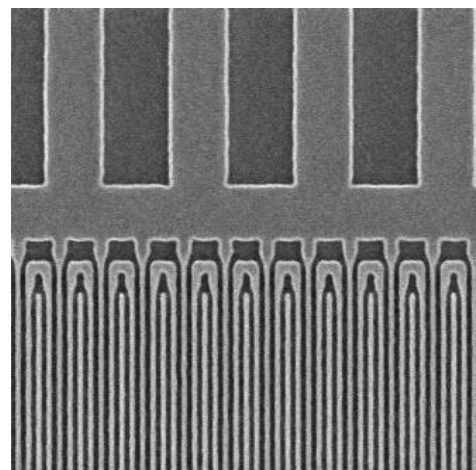
新ウェット現像技術でレジスト倒壊防止とともに、  
25%のEUV露光量削減と寸法ばらつき低減を実現

# MORの量産技術課題のソリューション例： エッチングを含むモジュールソリューション構築

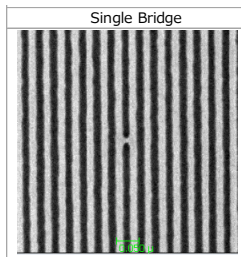
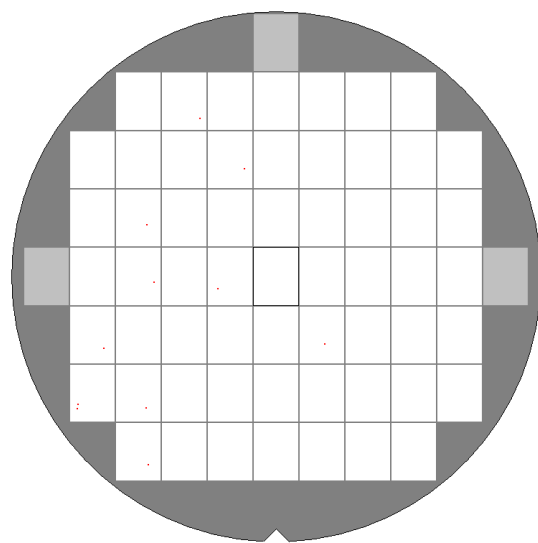
エッチング後ラフネス  
30 nmピッチ15 nm ライン

エッチング後ブリッジ欠陥  
32 nmピッチ16 nm ライン

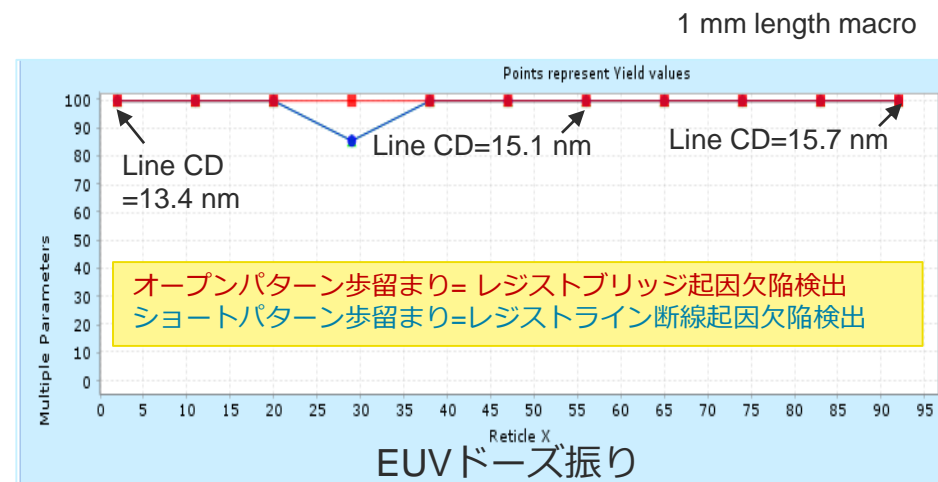
電特データ  
30 nmピッチ15 nm ライン配線パターン



Source: TEL



Source: TEL



Source: TEL

エッチング後LWR < 1.8 nm  
(imec標準SEMLレシピ)

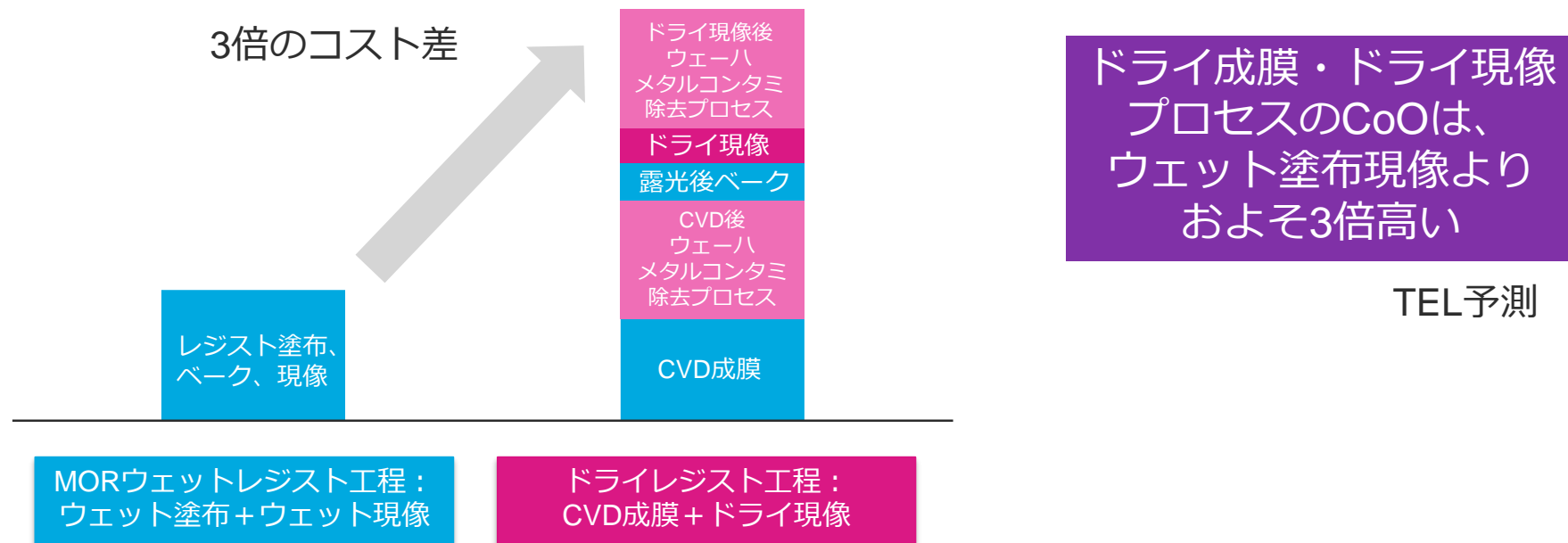
ブリッジ欠陥密度DD: < 0.1 /cm<sup>2</sup>

テストパターンでほぼ100%歩留まり

MORで、デバイス量産レベルの低欠陥、低ラフネス、高歩留まりを実現

# MORウェットレジスト工程とドライレジスト工程のコストの比較

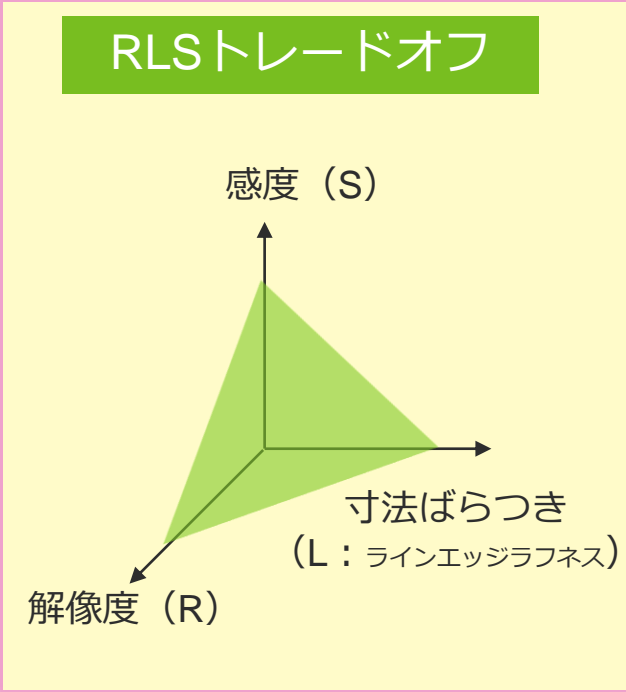
## レジストプロセスコスト比較



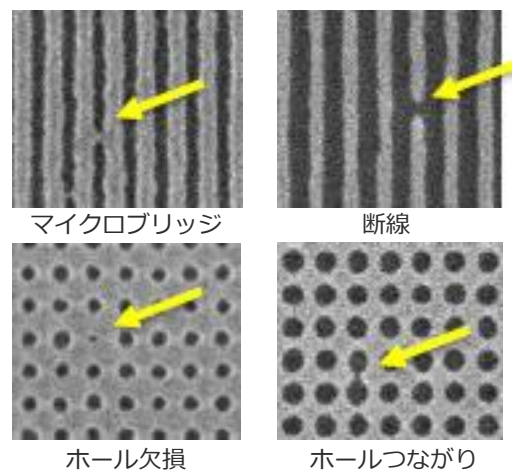
MORウェットレジスト工程は、ドライレジスト工程 (CVD + ドライ現像) に比較して、コスト、TAT、引き置き時間管理、装置のフットプリント、電力消費の点で優位。これらのコストや運用上のメリットだけでなく、性能面でもすでにウェット工程で優位なデータ

# EUVリソグラフィプロセスのロードマップと課題

ラインピッチ(nm)	34	32	30	28	26	24	22	20
ホールピッチ(nm)	42	40	38	36	34	32	30	22
EUV露光装置 レジスト技術 の推移	0.33 NA EUV				0.55 NA EUV (高NA EUV : 高解像度化)			
	化学増幅型レジスト (CAR)							
	メタルオキサイドレジスト (MOR)							

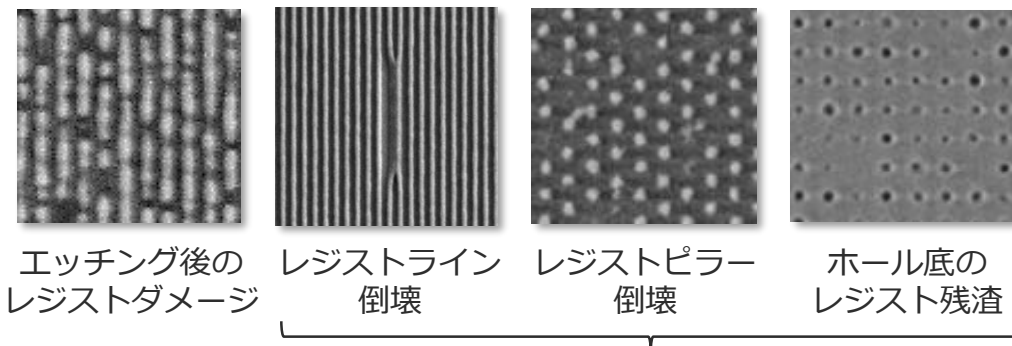


### EUVばらつき欠陥の課題



P. De Bisschop, Proc. SPIE, 10957-10 (2019)

### レジスト必要膜厚確保の課題



# 高NA EUVの世代への準備：課題をパートナーと連携して解決

Notification 2021.06.08

## 東京エレクトロン、imec-ASML 共同高NA EUVラボとの連携 のお知らせ

東京エレクトロン(TEL、東京都港区、社長：河合利樹)は、オランダのフェルドホーフェンにある「imec-ASML joint high NA EUV research laboratory」(imec-ASML 共同高NA EUV 研究所。以下、「高NAラボ」)にて、2023年より稼動予定の次世代高NA EUV露光装置 ASML EXE:5000 (開口数NA=0.55) にインライン\*する塗布現像装置を導入することをお知らせします。TELは、imec-ASMLと連携して技術開発を進めることにより、お客さまのさらなる微細化へのご要求に対応してまいります。

高NA EUV露光装置は、従来のEUV露光装置を上回る、さらなる微細化対応技術として期待されています。今回、高NAラボに導入予定の当社塗布現像装置は、従来から広く使用され、実績のある化学増幅型レジストや下層膜の対応のみならず、塗布型メタル含有レジストにも対応した最新機能も搭載しています。塗布型メタル含有レジストは、高い解像度、高いエッチング耐性が実証されており、さらなる微細パターン向けレジストとして期待されています。一方で、パターン寸法の制御、ウェーハ裏面・ベベル部のメタルコンタミ制御など、高度な制御が必要になります。今回、高NAラボに導入する装置では、メタル含有レジストに対応した新たなプロセスモジュールを搭載し、これらの高度な課題に対応しています。

新たなプロセスモジュールを搭載したTELの塗布現像装置を用いることで、化学増幅型レジスト、メタル含有レジスト、および下層膜などさまざまな材料を、1台の装置でインライン処理でき、フレキシブルなFab運用、塗布現像装置の優位点である高生産性と高稼働率を同時に実現することが可能になります。

さらに、連続した複数工程向け装置をラインアップに有する当社の強みを生かし、リソグラフィー工程向けの塗布現像に加え、エッチング工程を含む包括したパターンニングソリューションを、パートナーであるレジスト材料メーカーと連携して実現してまいります。

[https://www.tel.co.jp/news/topics/2021/20210608\\_001.html](https://www.tel.co.jp/news/topics/2021/20210608_001.html)

## 高NA EUV露光機に 塗布現像装置をインライン化

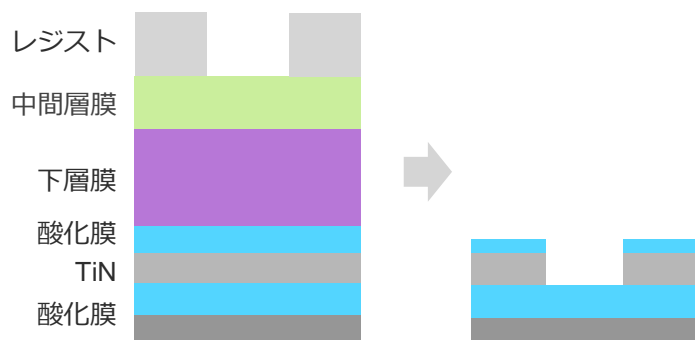
## imec、ASMLと連携して 高NA世代の微細パターン 形成技術を構築予定

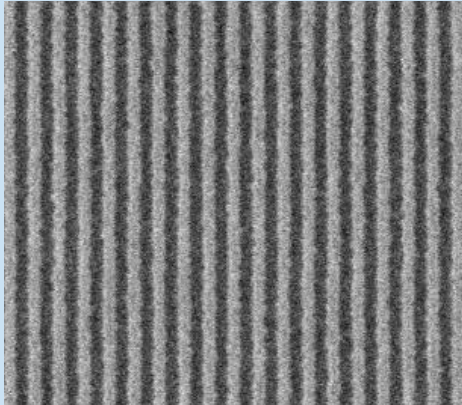
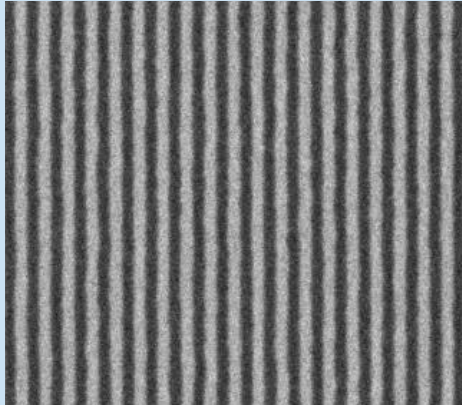
# 高NA EUVの世代への準備：MOR微細パターン形成実証例

24 nmピッチ12 nm ライン

リソグラフィー後    エッチング後

レジスト膜厚20 nm



	リソグラフィー後	エッチング後
EUV露光パターン	 Source: imec	 Source: imec
CD (nm)	12.7	12.1
LER (nm)	2.13	1.56
LWR (nm)	2.88	1.94

imec標準SEMレシピで計測、NA0.33での実証

ウェット現像で、12 nmラインパターンでも倒壊なく、  
2 nm以下のラフネス (LER/LWR) を実現

# まとめ

- EUV化学増幅型レジスト (CAR) の微細化に対応した新技術をリソグラフィーだけでなくエッチング技術との相乗効果で実現
- メタルオキサイドレジスト (MOR) レジストの量産向け技術を導入。高性能・低コストのプロセスを実現。CARもMORも同一装置で処理可能
- 高NA EUV露光技術に向けて、パートナーと連携し、将来世代のデバイス量産へ向けた最先端塗布現像プロセスソリューションを提供



CLEAN TRACK™ LITHIUS Pro™ Z EUV

# エッチングにおける最新の技術課題と取り組み

2021年10月12日

和久井 勇  
執行役員、ES BUGM





# エッチング装置における戦略

## ■ HARC\*工程

- 3D NAND (多段コンタクト、ワードライン分離)、DRAM (キャパシタ) :  
加工性能と生産性で差別化を継続
- 3D NAND (チャネル) :  
精細な加工制御性と生産性で差別化できる新規装置を投入

## ■ パターニング工程

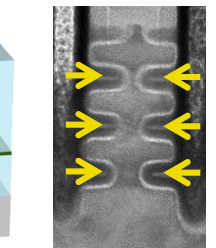
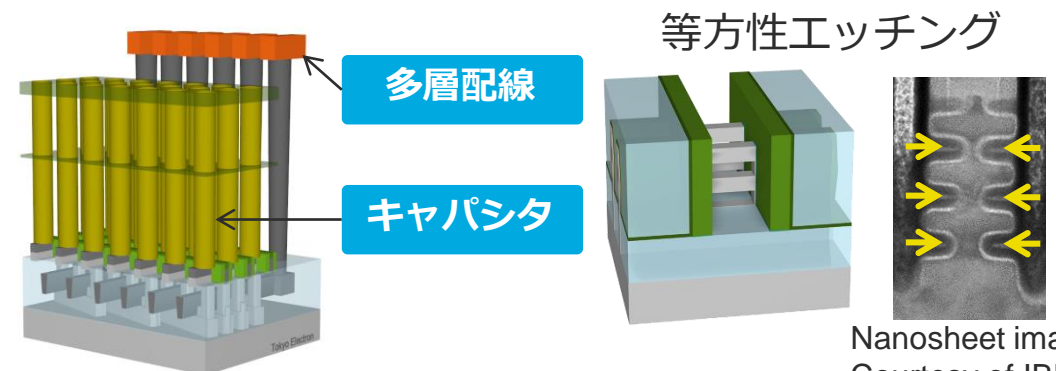
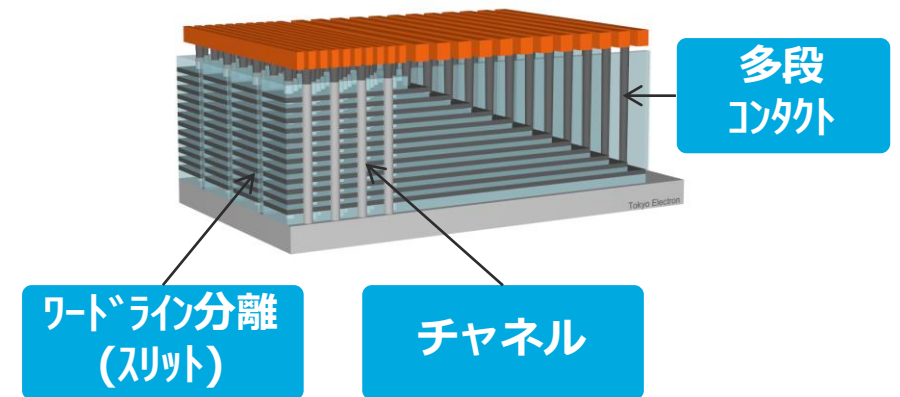
- DRAM : 加工制御と一括エッチングによる  
お客さまの生産コスト低減で差別化
- ロジック : エッチングと成膜の融合技術で差別化

## ■ 配線/コンタクト工程

- ロジックで培った知見をDRAMへ展開

## ■ ガスケミカルエッチング工程

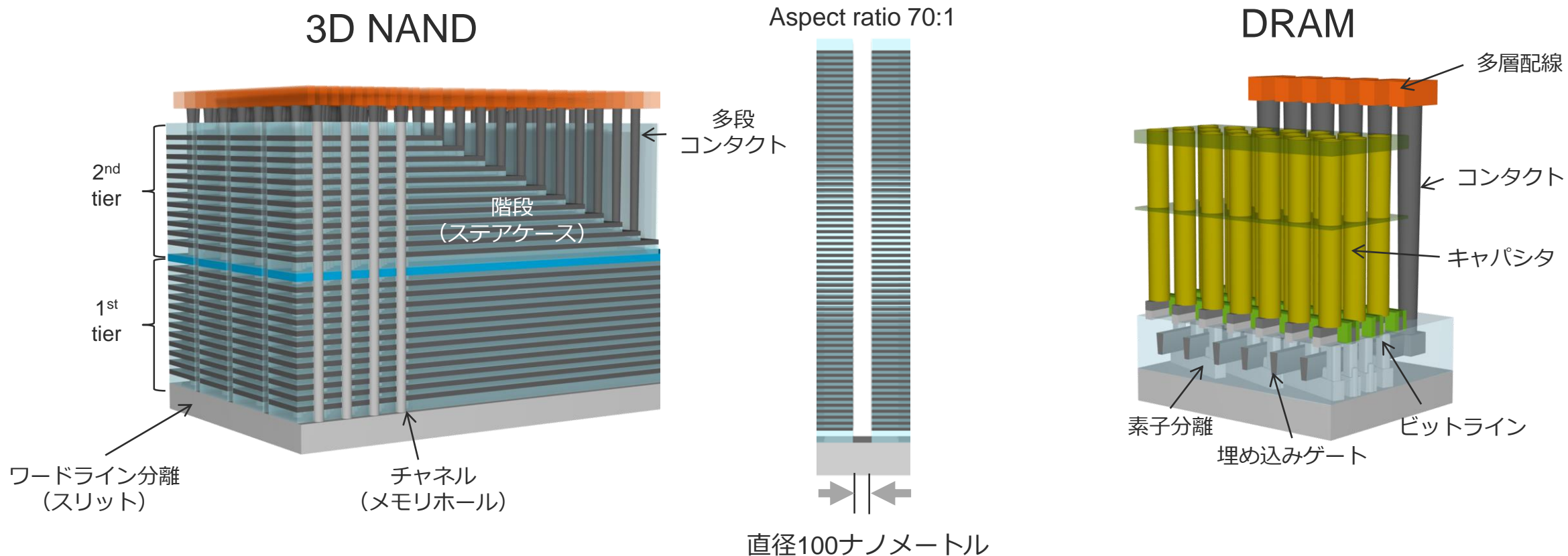
- プラズマアシスト技術で新たな市場を創出



Nanosheet image:  
Courtesy of IBM

\* HARC: High aspect ratio contact

# メモリにおける事業機会

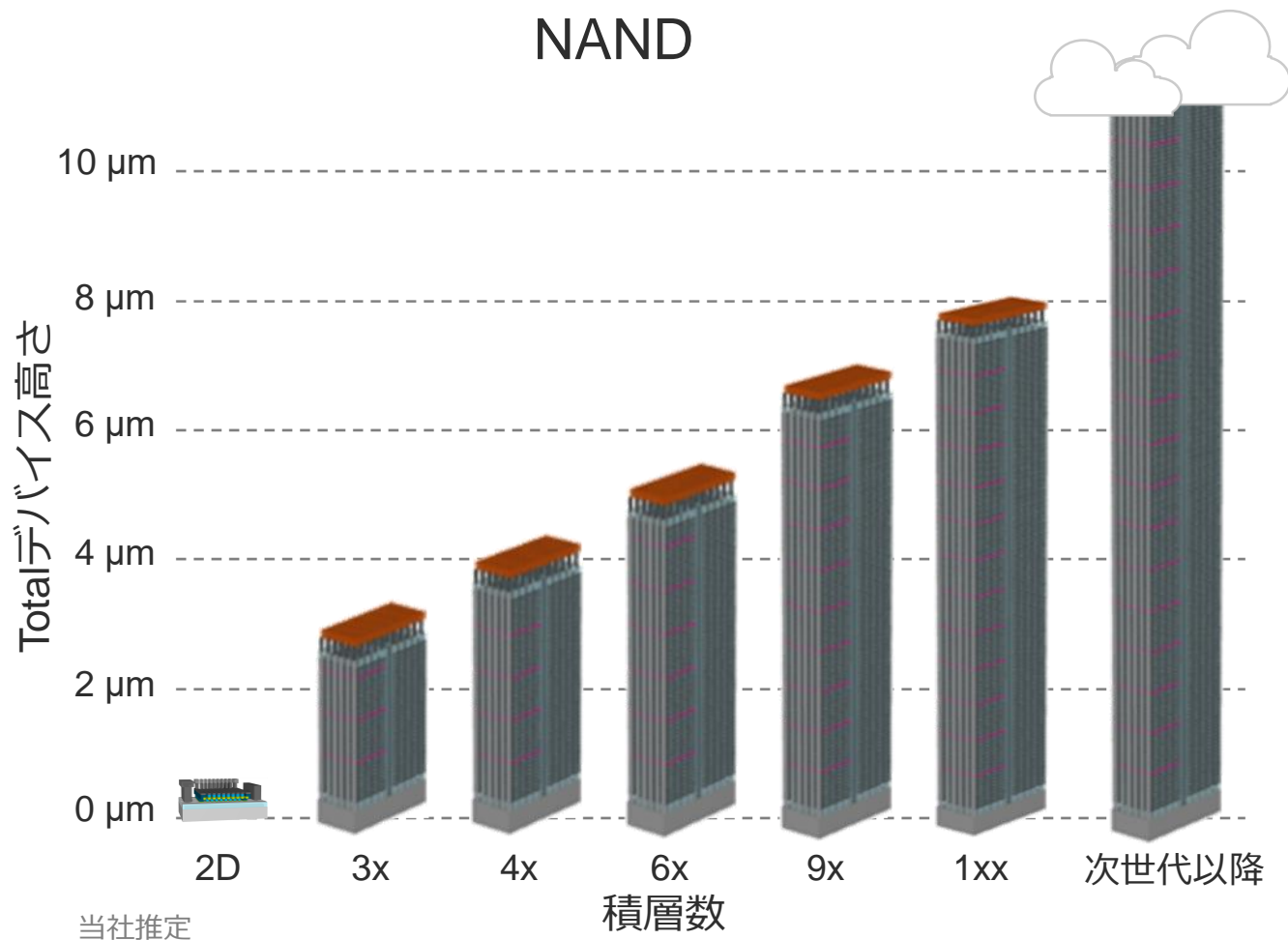


NAND/DRAMにおいて拡大するドライエッチングの事業機会に対応

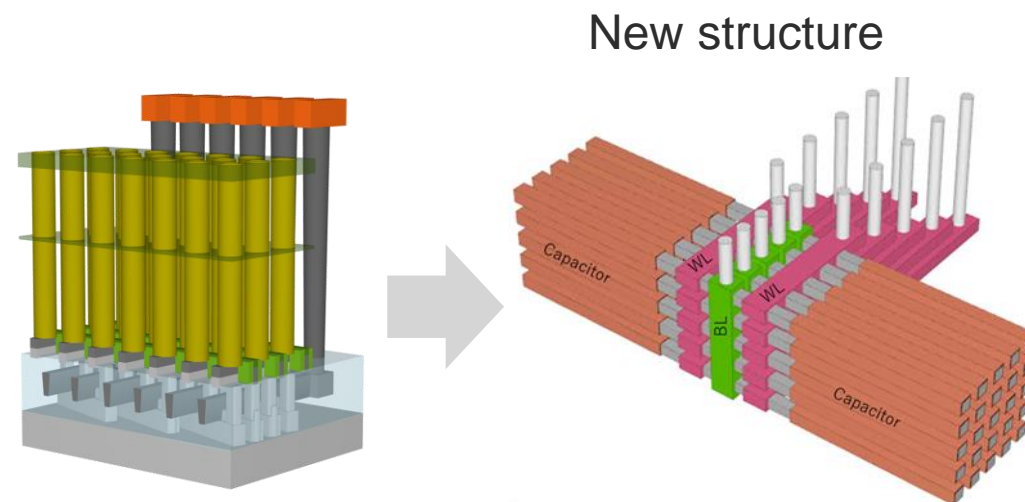
- ・ 高アスペクト比化に対応したエッチング性能
- ・ お客様の生産性改善への寄与

# メモリにおける積層化

## NAND

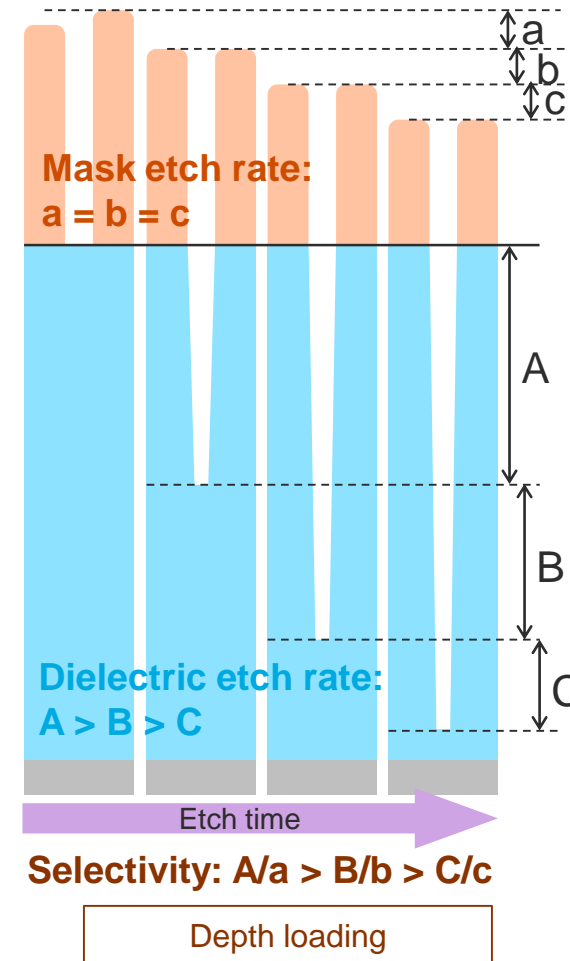
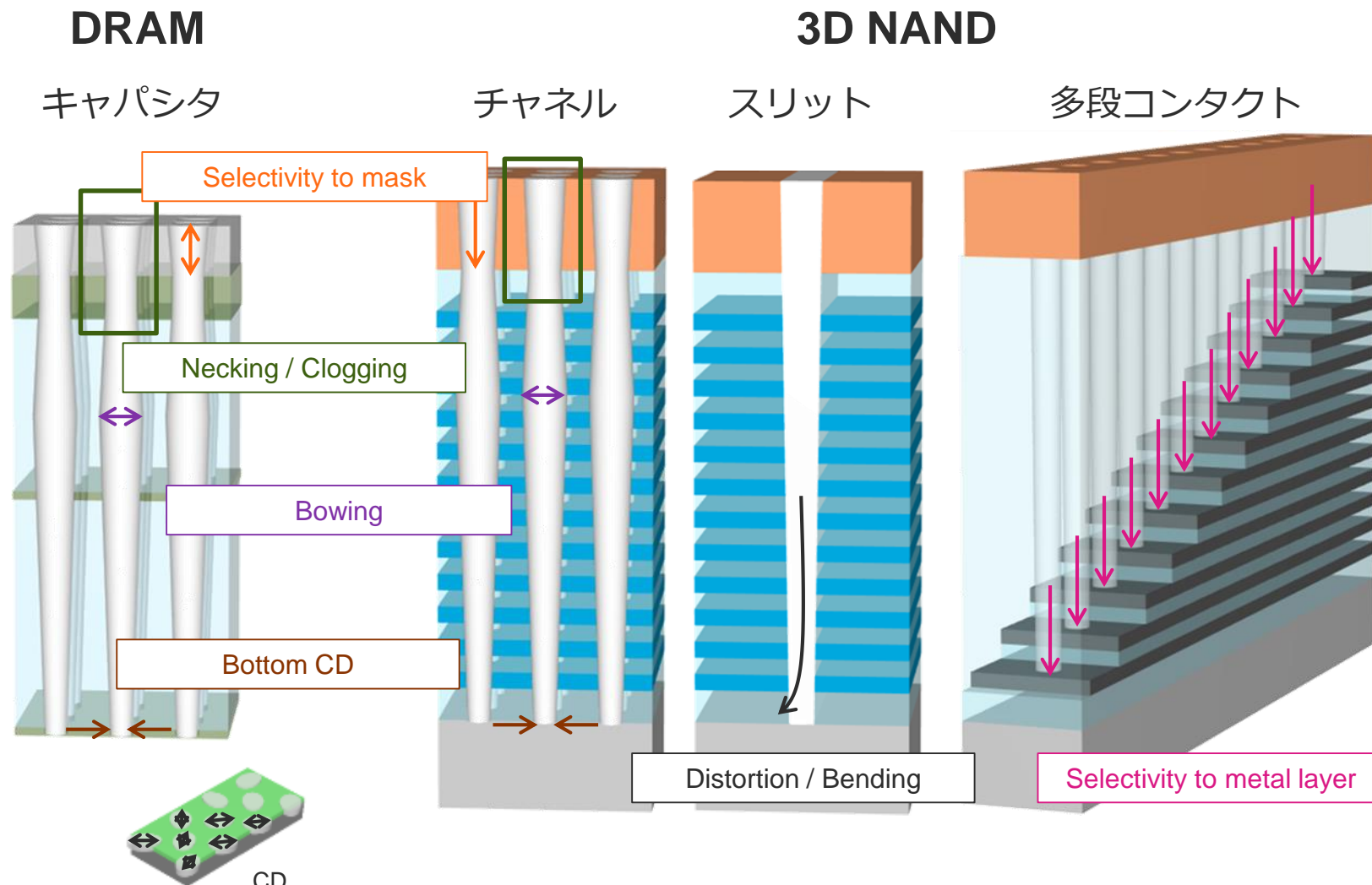


## DRAM



### 3次元積層化の継続によりエッチング市場は拡大

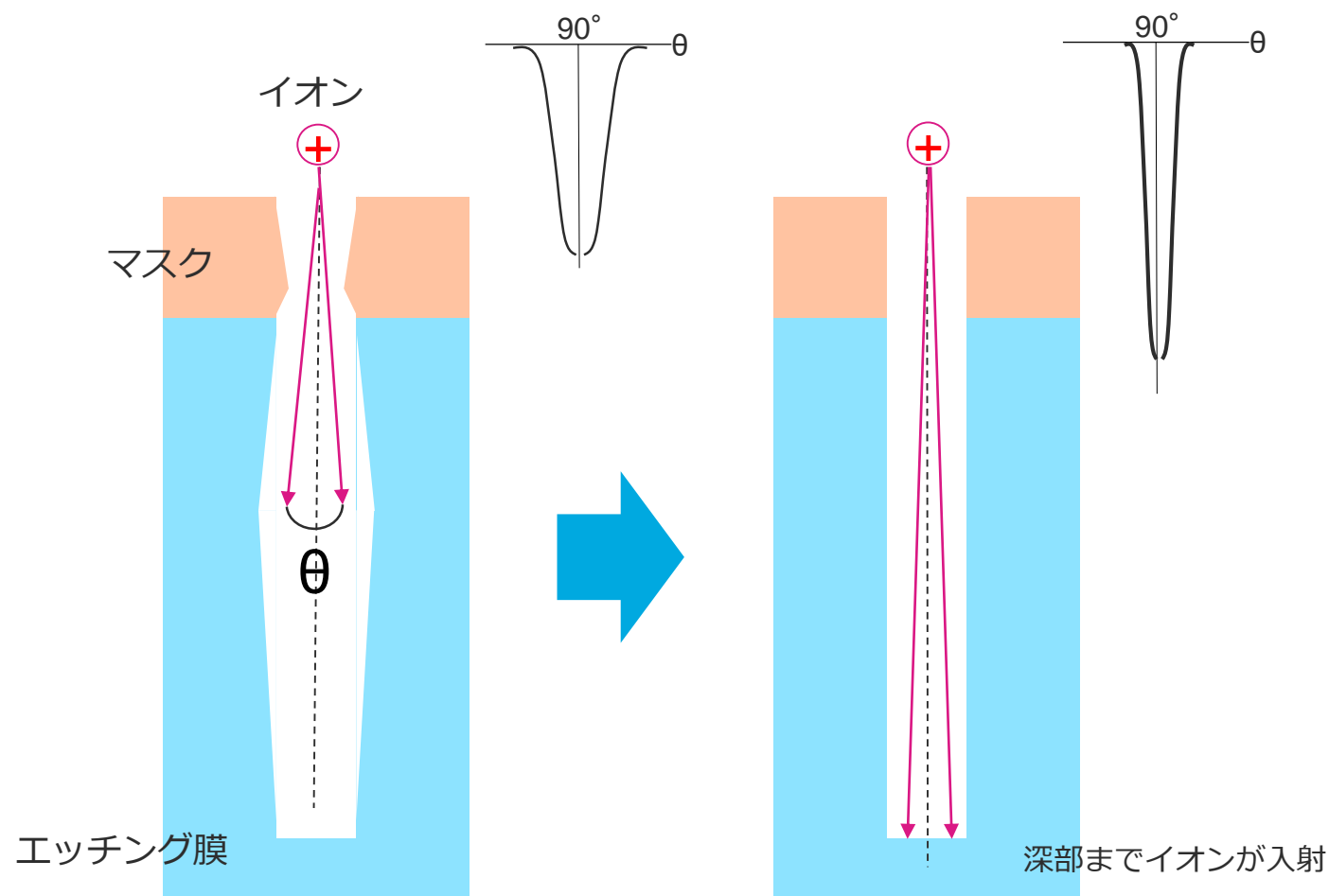
# 高アスペクト比絶縁膜エッチングの課題



# 高アスペクト比エッチングへの対応

## TEL技術の効果：

- 高アスペクト比エッチングにおける正確な加工制御
- Depth Loading低減によるエッチングレート向上

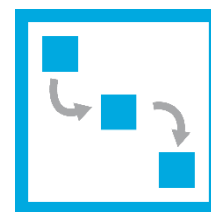


TEL独自のイオン垂直化技術により高アスペクト加工を実現

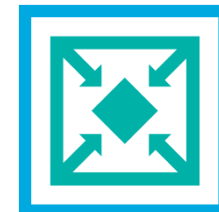
# 生産性向上への対応

## Episode™ ULの特徴：

- フレキシブルなレイアウト
  - 4個から12個までフレキシブルに搭載チャンバーを選択可能
- 省スペース
  - チャンバー当たりのフットプリントを大幅に削減
- スマートツール
  - ビッグデータ解析による自律プロセス制御



FLEXIBLE LAYOUT



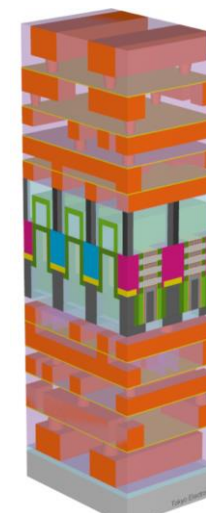
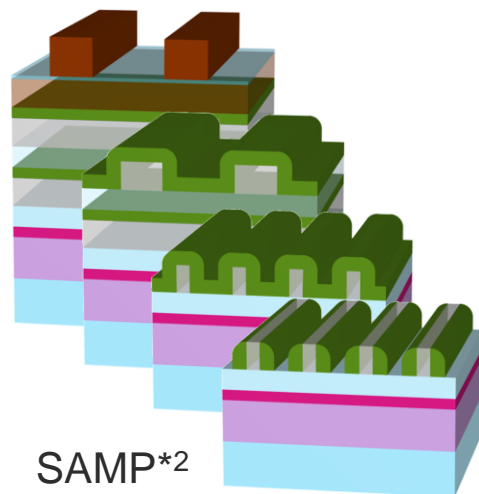
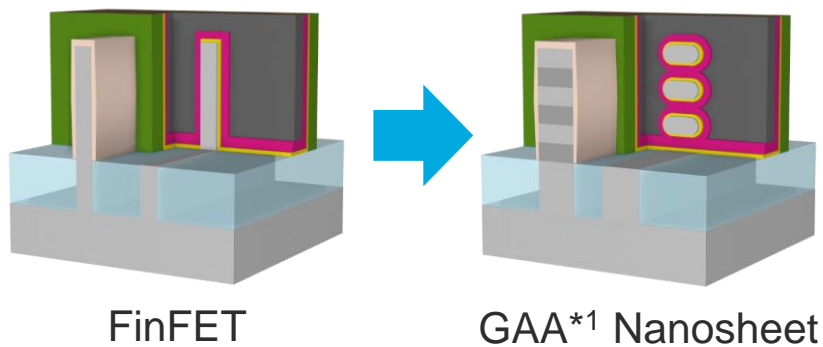
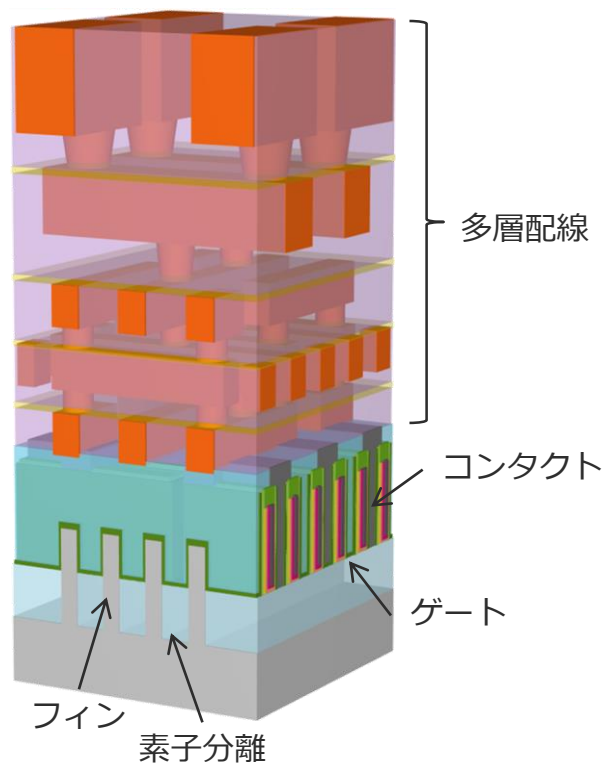
SPACE SAVING



SMART TOOL

新プラットフォーム導入 (メモリ、ロジック共通) により生産性向上に寄与

# ロジックにおける事業機会



- \*1 GAA: Gate all around
- \*2 SAMP: Self-aligned multiple patterning
- \*3 PDN: Power delivery network

微細化が進むことによるデバイス構造の変化やEUVリソグラフィに対応

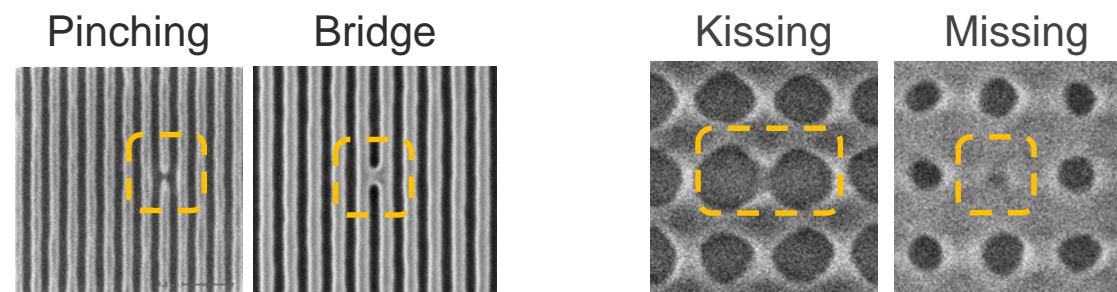
# EUVリソグラフィにおけるエッチング

## EUVにおけるエッチングの課題：

- ArFに比べて欠陥やばらつきが大きい
- 極めて薄く、プラズマ耐性が弱い

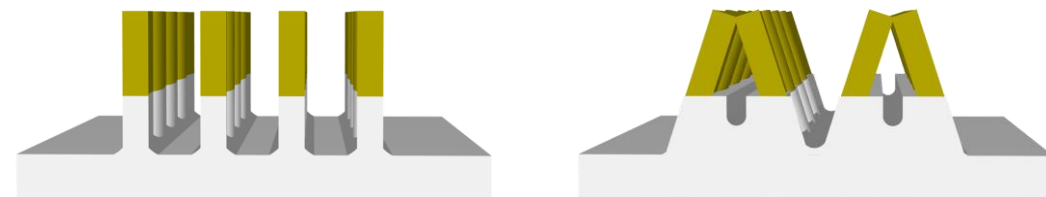
エッチング技術による補完が重要となる

## EUVリソ後のパターン



Source: S. Morikita, et al., Tokyo Electron Miyagi (DPS2018)

## ドライエッチングのEUVレジストへの影響



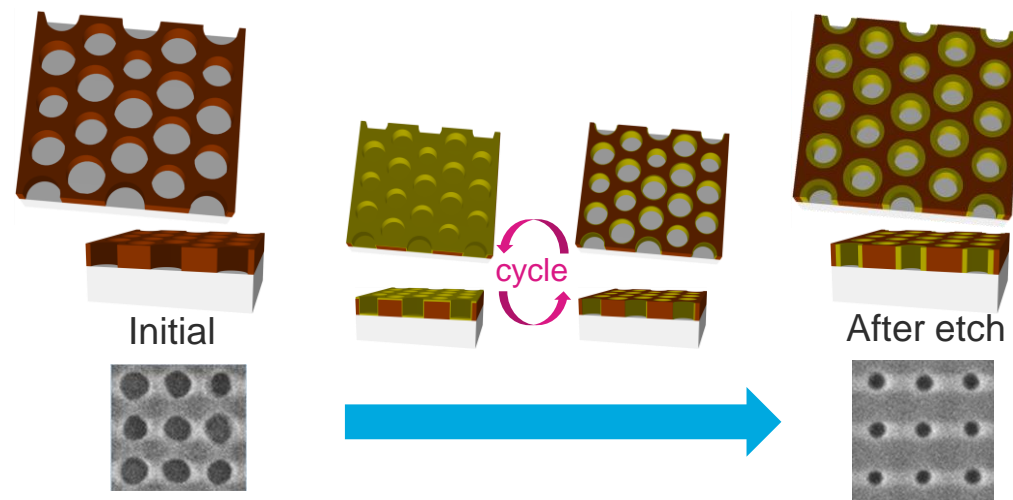


# EUVリソグラフィへの対応

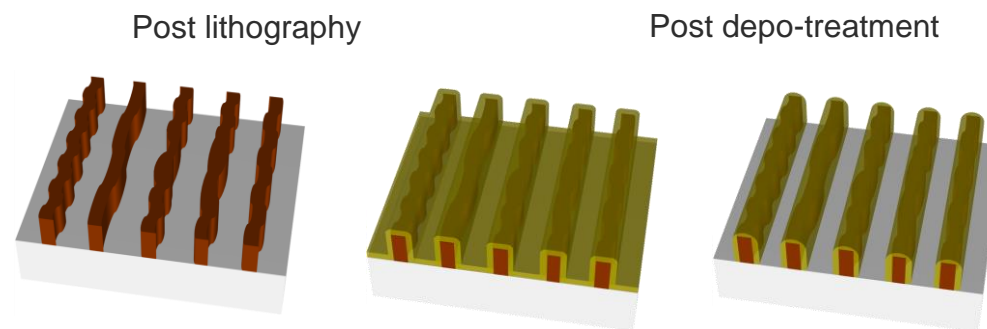
## TELの取り組み

- 成膜とエッチングのプロセスを繰り返すことで、リソ後の寸法ばらつきを改善
- レジスト上の成膜を残すことでマスク選択性を向上
- imec、ASML社との連携も活用し、高NA世代も見据えたパターンニングソリューションを実現していく

成膜とエッチングの組み合わせによるばらつき改善



レジスト上の成膜・加工による選択性改善

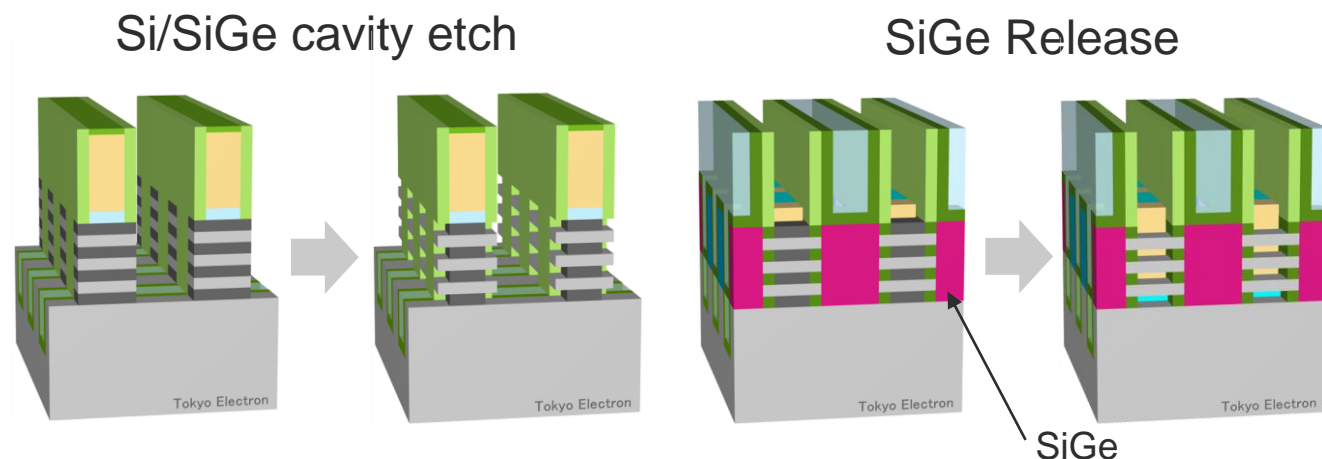


成膜とエッチングの組み合わせによるばらつき・加工選択性改善

# GAA Nano Sheet構造への取り組み

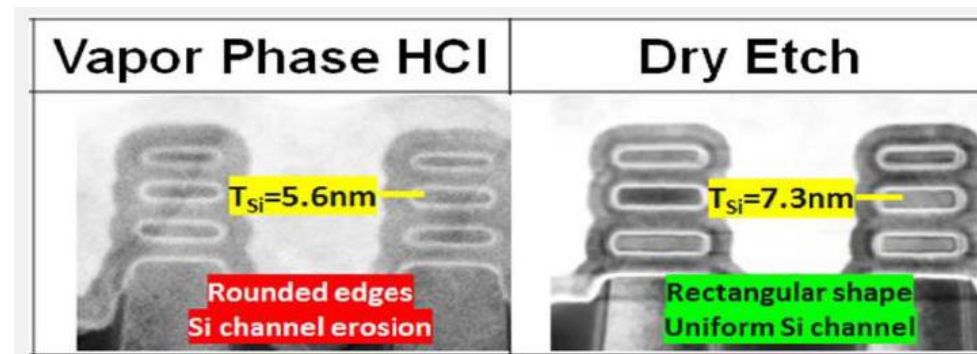
## Nano Sheetプロセスの課題：

- パターン形状（矩形）の均一性
- パターン表面のラフネス・残渣



## TELの取り組み：ガスケミカルエッチング

- 高いエッチング選択性
- 高い均一性
- 残渣除去・ラフネス低減



Source: N. Loubet, et al., IBM, TEL Technology Center, America (IEDM2019)

ガスケミカルエッチングのメリットを生かして先端プロセスへ貢献

# 開発・生産能力の向上

## 宮城技術革新センターを2021年9月22日竣工

- パートナー企業とのラボエリア
- オープンイノベーションエリア
- 顧客トレーニングセンター



東京エレクトロン宮城 宮城技術革新センター

パートナー企業との共創により、革新的な技術の創出と生産性向上を推進

# 宮城技術革新センターの役割

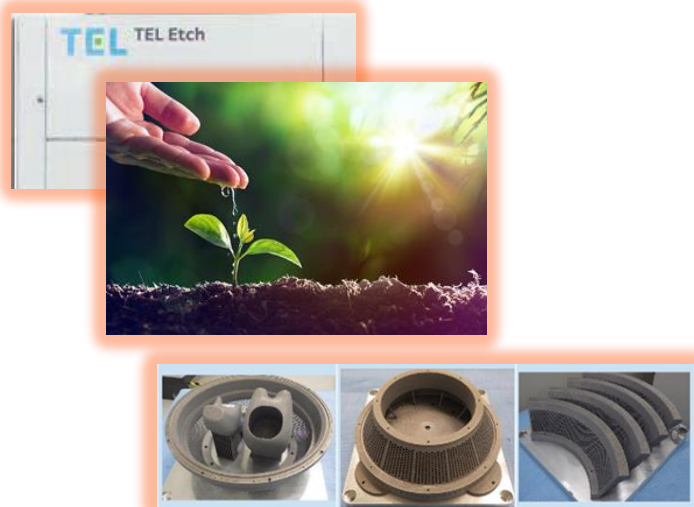
ダントツの 製品とサービス をお客さまへ提供し続けるために

**FIL**

Futuretech Incubation Lab

## 革新的装置技術の創出

~高効率化、低環境負荷技術、低LT化技術 etc.~



**PIL**

Production Innovatech Lab

## 生産技術の革新

~DX技術と機械組立を融合した次世代装置づくり~



**TC**

Training Center

## 世界最高水準のトレーニングを提供

~お客さま、自社の現場力を高める~



工場全体の「ものづくり技術の革新」を推進

## まとめ

- 3D NAND・パターニングに牽引され、エッチング装置市場は継続した高水準な投資を見込む
- デバイスの変化と顧客ニーズに対応し、メモリとロジック両市場において技術革新を継続
- 今後のさらなる市場拡大に向けた開発・生産能力の向上へ取り組む

# 次世代の成膜技術におけるTELのアプローチ

2021年10月12日

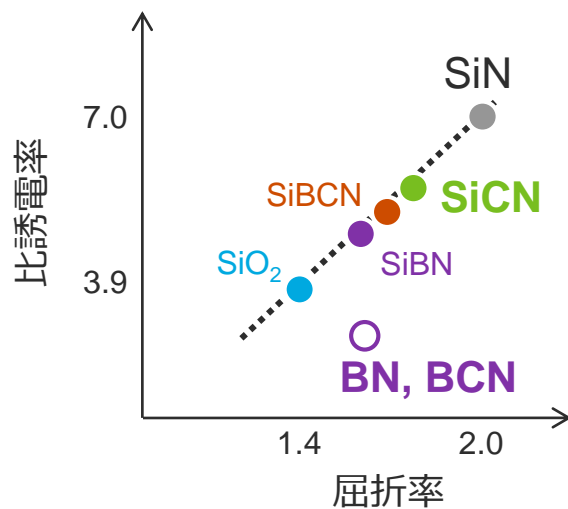
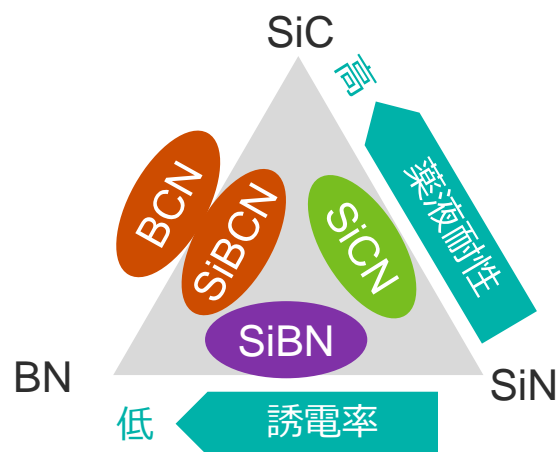
石田 博之  
執行役員、TFF BUGM



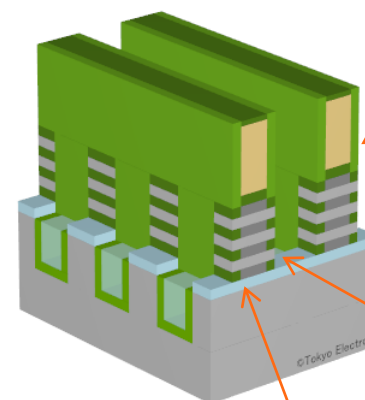
# Nano Sheet FET 向け極薄膜の絶縁膜工程

高アスペクト比の狭空間への埋め込みの課題への対応

## 絶縁膜の特性



## Nano Sheet 向け極薄膜の絶縁膜工程



Gate spacer

ソース/ドレインとゲート間の絶縁、不純物注入の制御など

Inner spacer

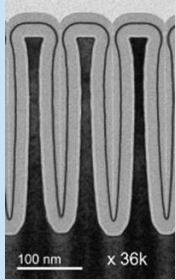
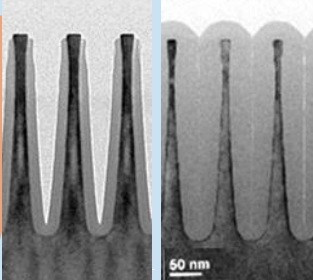
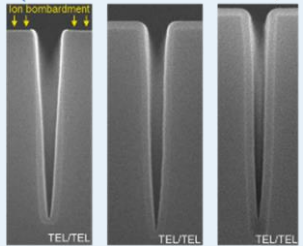
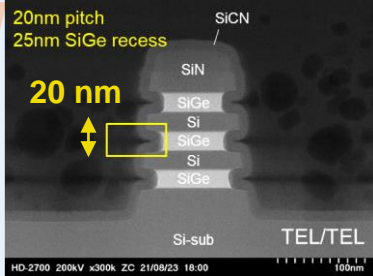
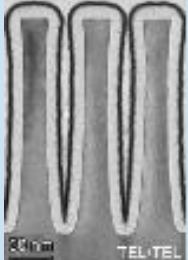
Sheetを等間隔で支える

Dielectric isolation

Si channelから基板SiliconへのLeak電流低減

Nano Sheet形成に必要な高品質かつ極薄絶縁膜をバッチ炉で提供する

# 絶縁膜のアプリケーションマップ：狭空間埋め込み、極薄膜

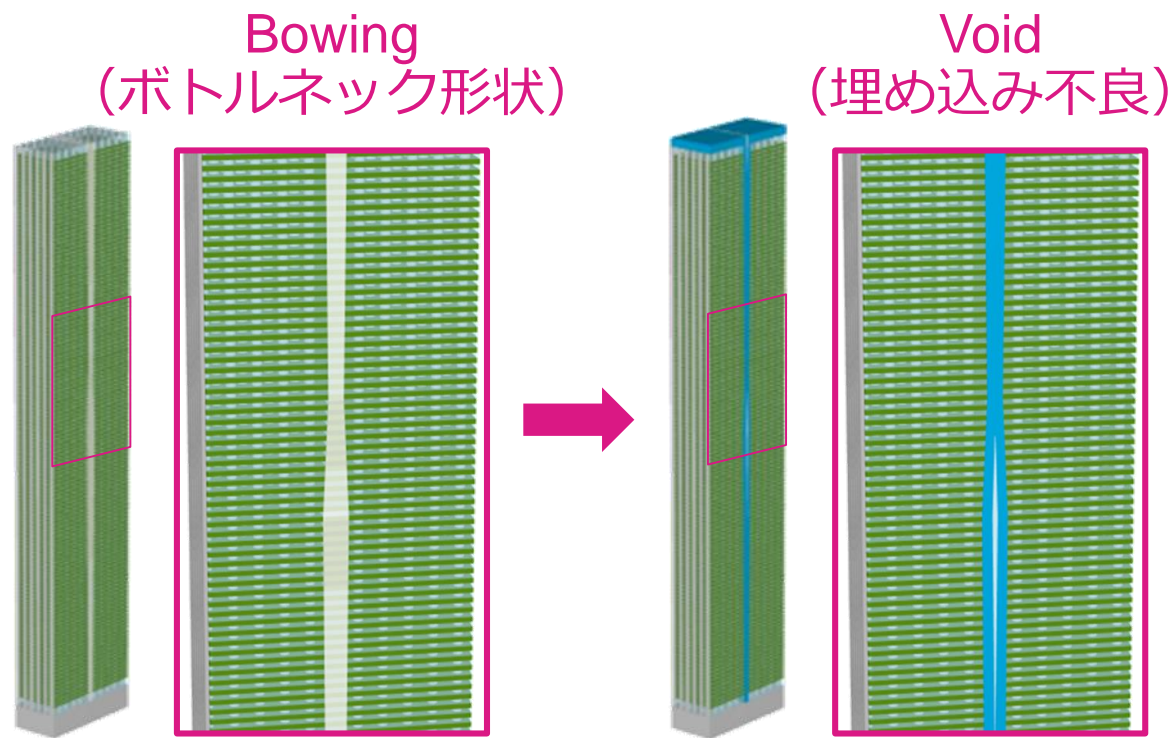
	300 °C	400 °C	500 °C	600 °C
SiN (k ~ 7.5)	成膜 エッチ 成膜 連続プロセス 活用事例 	プラズマを 使った 枚葉成膜技術 (評価中)	TELINDY PLUS™ IRad™ 成膜とEtchの複合プロセス	
低誘電率 材料 (k < 4.5)	High H <sub>2</sub> radical Low 成膜抑制技術 の活用事例 	プラズマを 使った 枚葉成膜技術 (評価中)	TELINDY PLUS™ IRad™ 膜厚・膜質・カバレッジ インテグレーション対応	
極低誘電率 材料 (k < 3.0)		TELINDY PLUS™ IRad™ 新規材料の採用 (評価中)		

高品質極薄絶縁膜の対応ラインアップを拡充中

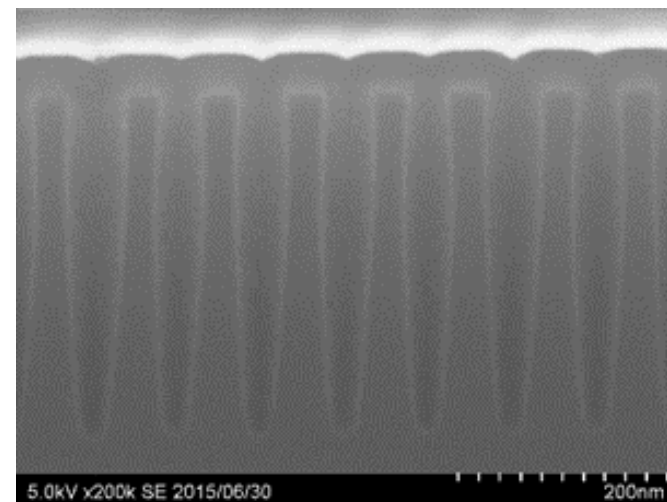


# セミバッチALDを用いた狭空間埋め込み

複数段積層3D NANDの課題への対応



Plasma ALD SiO<sub>2</sub>

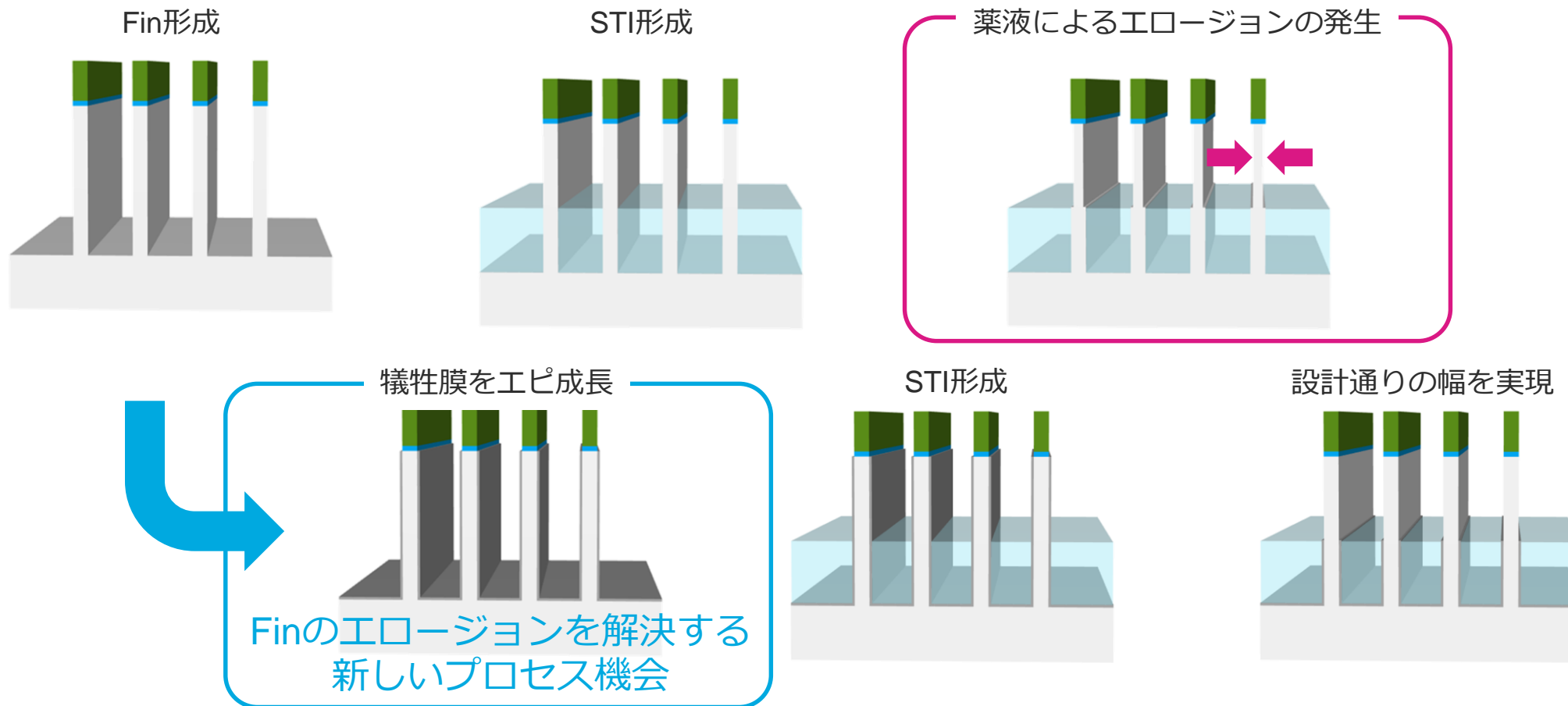


成膜抑制とALDの連続化により  
完全シームフリーを実現

セミバッチALDによる複数プロセスの連続化により高い生産性と埋込性を両立

# 微細化を促進するシリコン成膜：新しいアプローチ

Fin形成時のエロージョンの課題をバッチプロセスでコスト効率良く解決

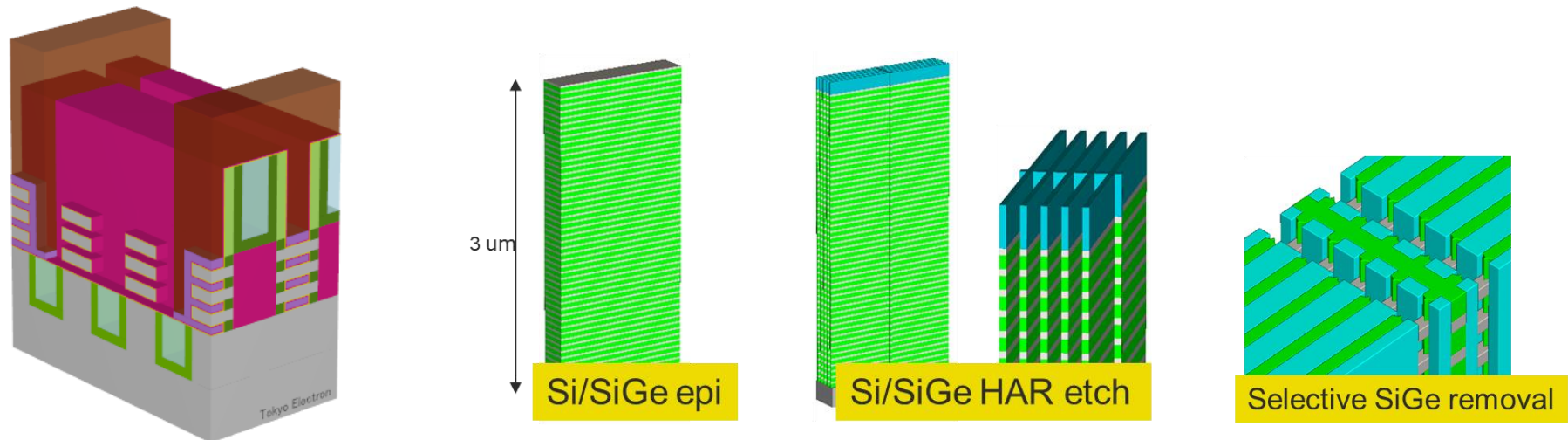


前洗浄を組み込むことでバッチで新たなプロセス対応を実現

# 微細化を促進するシリコン (Si/SiGe) 成膜：低コストへの挑戦

複数ある積層Epiの高コストの課題をバッチプロセスで解決を試みる

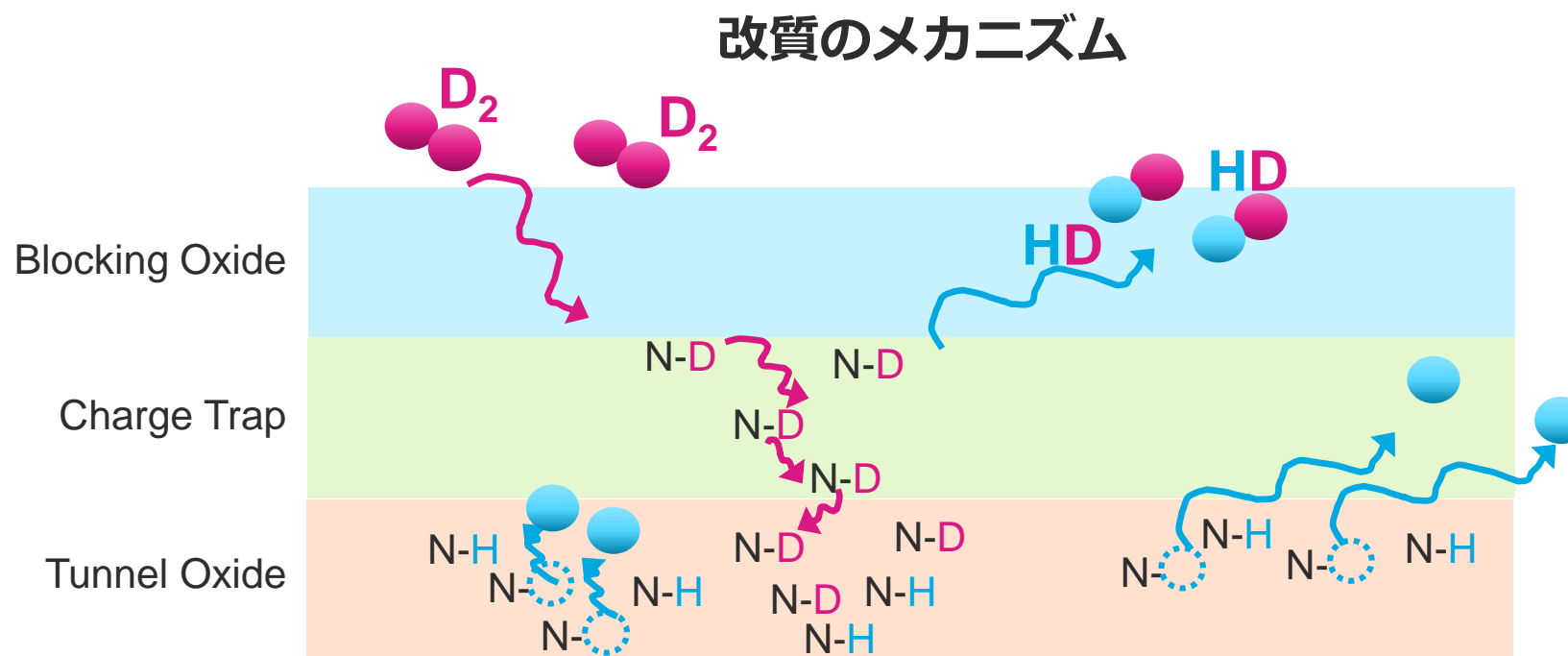
- ✓ Logic Nano Sheet：SiGe/Si 積層Epi
- ✓ Logic Backside PDN：エッチストップ用SiGe Epi もしくは Boron doped Si Epi
- ✓ Future DRAM：SiGe/Si 積層Epi



量産実績ができた前洗浄込みのバッチプロセスの展開を目指す

# デバイスの信頼性向上のための重水素アニール

電気的特性と信頼性の劣化耐性をお客さまと協業し生産性のよいバッチ炉の処理で改善



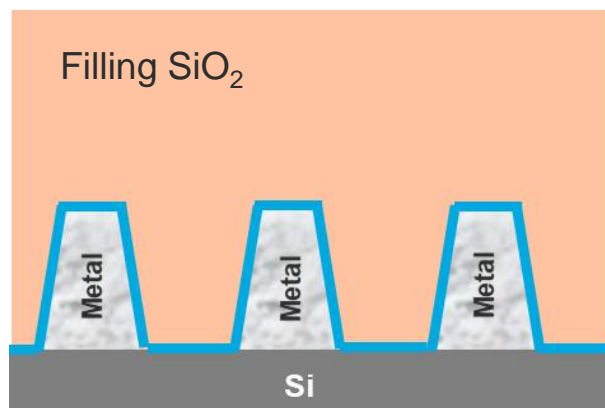
トンネル酸化膜中のN-H結合は書き込み/消去の電気的ストレスにより劣化する  
N-H結合をN-D結合に置き換えることで電気的特性の劣化への耐性を改善する

$D_2$ 処理に適したプロセス条件を実現するシステムを超大型バッチで構築中

# プラズマによる表面改質技術

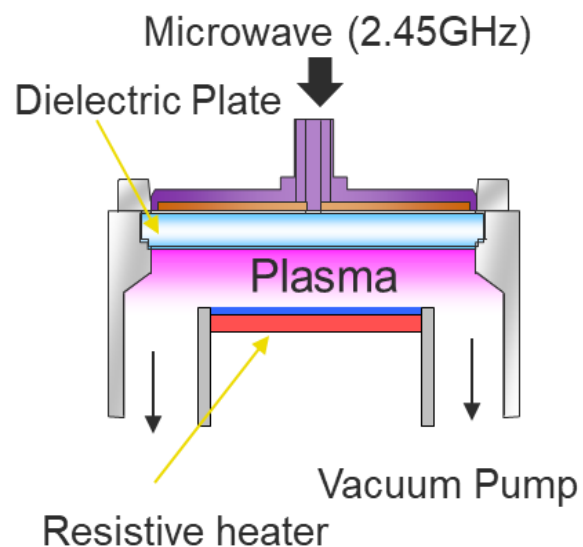
低温度のプラズマ処理により膜質改善し加工精度やデバイスの信頼性向上に貢献

## 適用事例

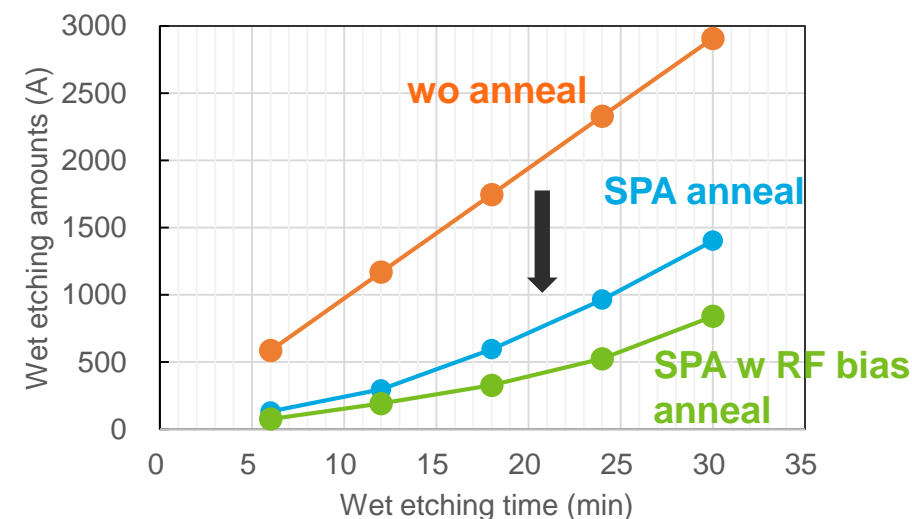


流動性CVDプロセスで形成された絶縁膜の不純物を熱酸化プロセスで除去

## SPAによる改質



## 薬液耐性の改善結果



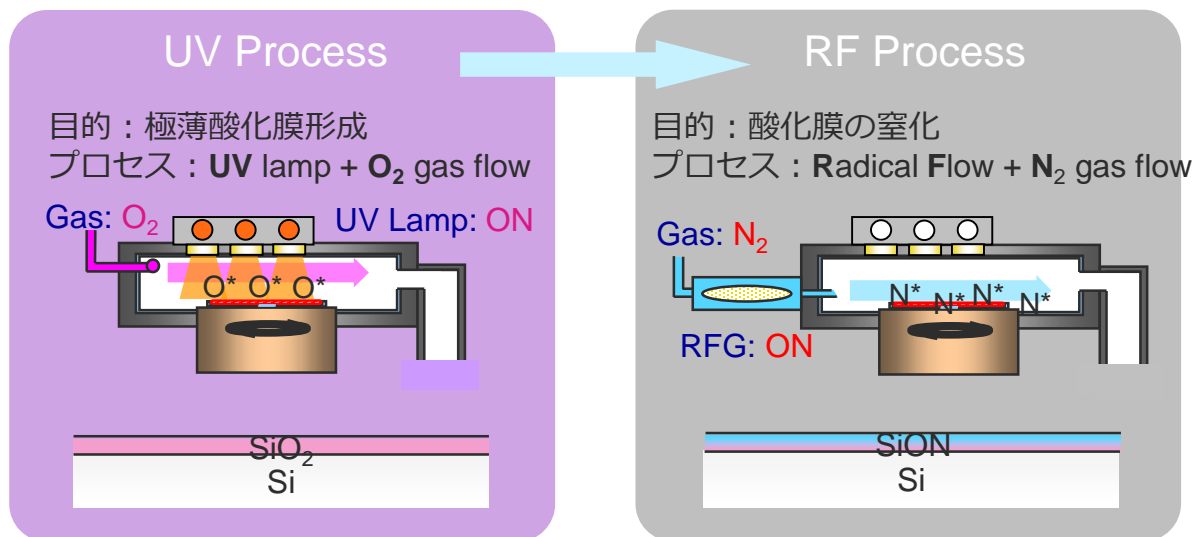
熱耐性の低い半導体素子の採用により、低温で膜質の改善が必要

➡ 低電子温度、高密度ラジカルの供給による膜質の改善

# 紫外光による表面改質技術

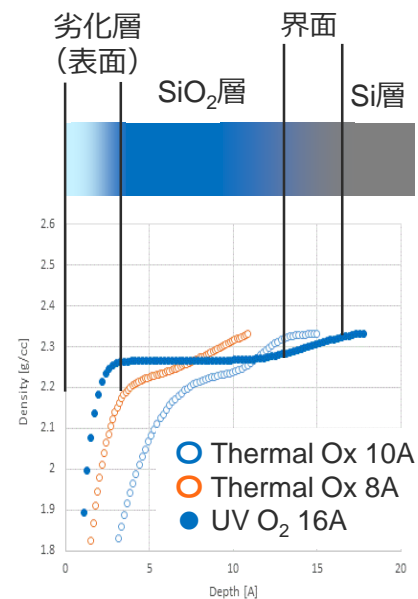
紫外光を活用した酸化プロセスで界面/表面を高密度化し極薄膜の膜質改善に貢献

## UVRFのプロセス



## 膜質改善、界面制御性の改善事例

### GIXR測定結果



### TEM観察結果

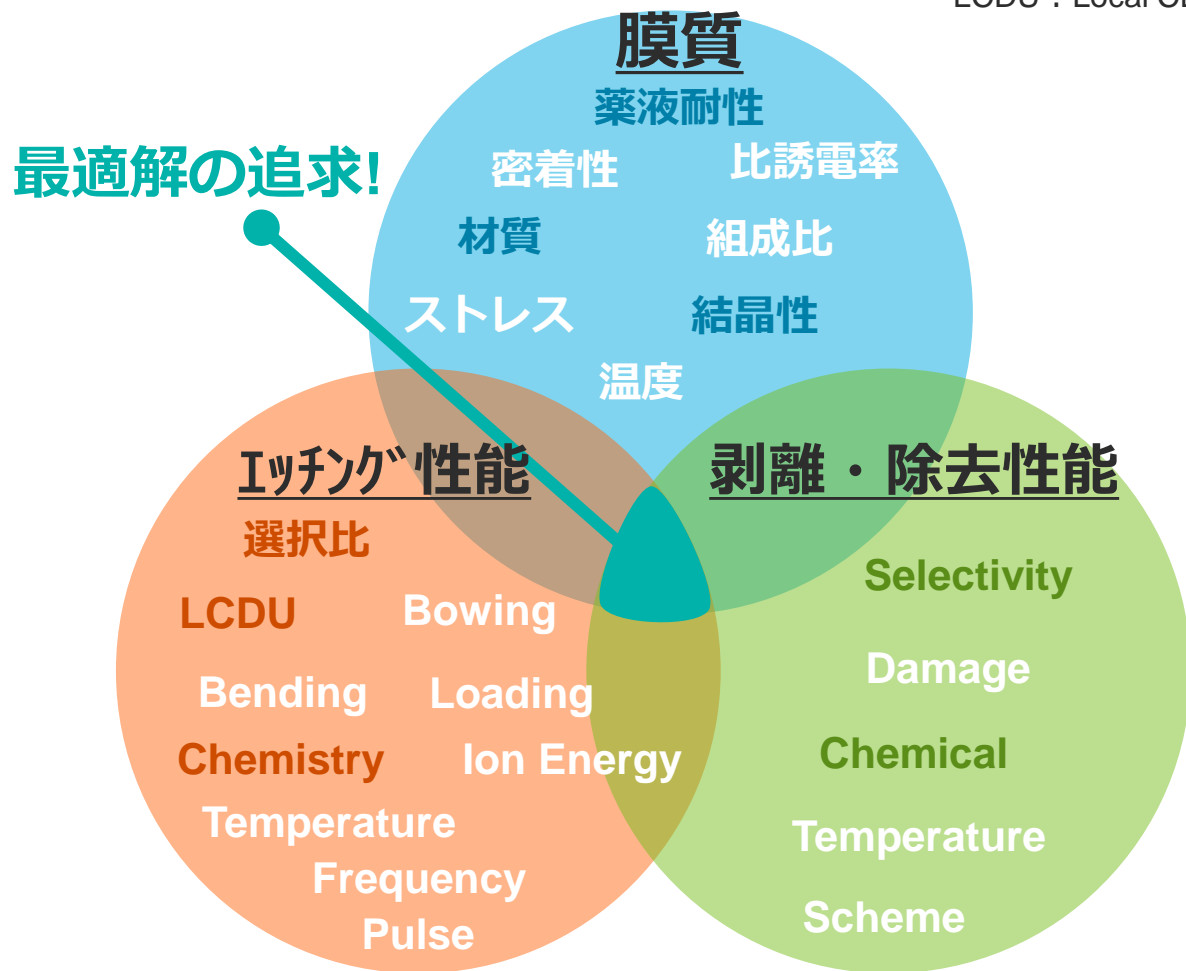
	DHF last	UV O <sub>2</sub>
TEM		
HfSiO thickness	2.3 nm	2.3 nm
IL SiO <sub>2</sub> thickness	0.9 nm	0.6 nm

極薄膜の制御性、高い膜質によりゲート絶縁膜などへの適用評価が進む

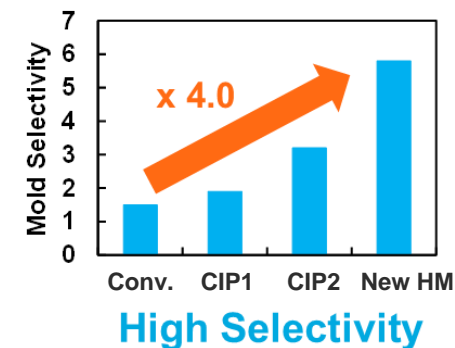
# ハードマスクのモジュールソリューション

BUと製品をまたぐ連携によりLCDU\*改善実現を目指す

\*LCDU : Local CD Uniformity



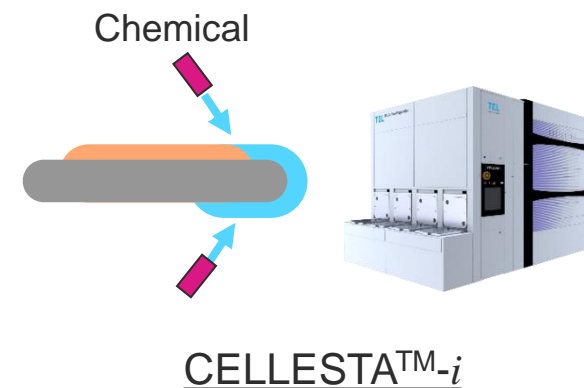
## Film Property



## Mold Etch



## Bevel Strip



## まとめ

- 次世代のデバイスでは成膜技術に求められるものがますます多様化する
- 高難易度でありながらコスト面での解決が常に要求される
- TELは複数製品・技術から常に性能・コストの両立最適解を目指す
- 前処理、エッチ、改質トリートメントを成膜に組み合わせ技術解を提供する
- BUをまたぐ製品間相互連携も今後拡大していく



## 本資料の取扱上の注意

情報管理責任者による承諾なしに第三者への開示はできません。

東京エレクトロン

**TEL**™

**TOKYO ELECTRON**